# 16 位 4 通道全差分输入 250 kSPS SAR ADC

## 产品特性

- 全差分 16 位，无失码
- 吞吐率：250 kSPS
- INL：±0.5 LSB 典型值
- DNL：±0.3 LSB 典型值
- 动态范围：96.2 dB
- 信噪比 (SNR)：96 dB 典型值
- 谐波失真 (THD)：-113 dB 典型值
- 全差分输入范围：$\pm V_{REF}$
- 触发后无延迟响应
- 单电源供电：2.3 V ~ 5 V
- 逻辑电平支持：1.8 V/2.5 V/3 V/5 V
- 封装：QFN-20
- 工业温度范围：-40 °C 至+ 85 °C

## 应用

- 继电保护
- 精密数据采集
- 自动化测试
- 电池测试
- 光通信

## 产品简介

ZJC2101-16 是一款 4 通道全差分 16 位逐次逼近型模数转换器 (SAR ADC)，具备单通道连续 500 kSPS 吞吐率，封装小，易于使用。

ZJC2101-16 具有多通道输入，是低功耗数据采集系统，包括：16 位无失码 SAR ADC；内部低漂移基准源 (可选择 2.5 V 或 4.096 V) 和缓冲驱动器；温度传感器；以及多通道依次连续采样的序列器。

ZJC2101-16 使用 SPI 接口实现寄存器的配置和转换数据的读取。功耗与吞吐速率成正比。它采用 20 引脚 QFN/LFCSP 封装，工作温度范围为-40 °C 至+85 °C。

4 通道全差分输入高速 SAR ADC 系列如下：

| 封装类型 | 型号 | 封装 |
|---|---|---|
| 18-bit 400 kSPS 4 通道全差分 | ZJC2100-18 | QFN-20 |
| 18-bit 200 kSPS 4 通道全差分 | ZJC2101-18 | |
| 16-bit 500 kSPS 4 通道全差分 | ZJC2100-16 | |
| 16-bit 250 kSPS 4 通道全差分 | ZJC2101-16 | |

## 功能框图

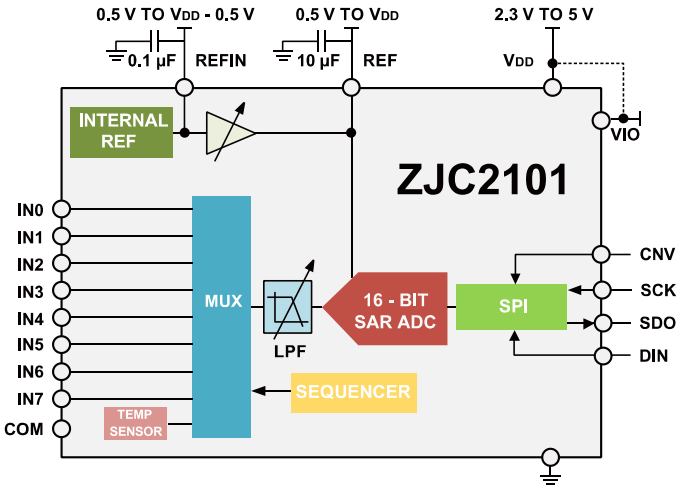



图1. 应用案例

## 典型特性

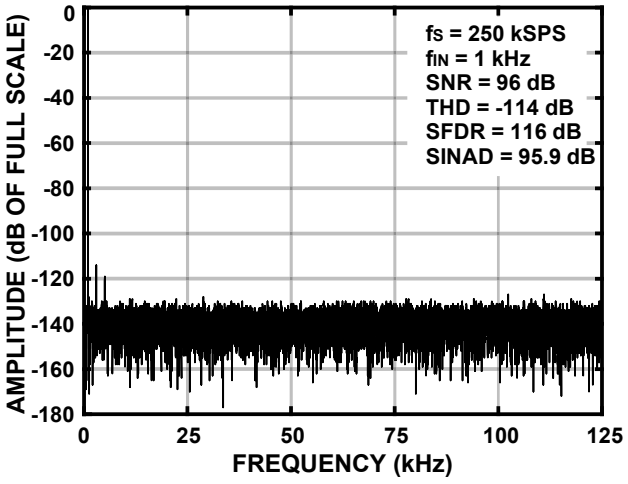



图2. 交流特性

## 目录


产品特性 ..... 1
应用 ..... 1
产品简介 ..... 1
功能框图 ..... 1
典型特性 ..... 1
目录 ..... 2
版本修订记录 (发布版 A) ..... 3
引脚配置与功能 ..... 4
绝对最大额定值 ..... 6
热阻 ..... 6
技术规格 ..... 7
时序指标 ..... 10
时序指标 ..... 11
典型特性 ..... 13
工作原理 ..... 16
电路结构 ..... 16
转换器操作 ..... 16
传递函数 ..... 17
典型连接图 ..... 18
单端至差分驱动器 ..... 19
模拟输入配置 ..... 20
内部基准电压源/温度传感器 ..... 20
外部基准电压源和内部缓冲器 ..... 20
外部基准电压源 ..... 21
电源 ..... 22
数字接口 ..... 23
转换期间读取/写入 ..... 23
转换后读取/写入 ..... 23
采集转换全程读取/写入 ..... 23
配置寄存器 CFG ..... 23
无繁忙指示的通用时序 ..... 25
带繁忙指示的通用时序 ..... 25
通道序列器 ..... 26
无繁忙指示的转换后读取/写入 (RAC) ..... 27
带繁忙指示的转换后读取/写入 (RAC) ..... 28
布局布线 ..... 30
封装外形尺寸 ..... 31
采购信息 ..... 32
产品订货型号 ..... 32
相关器件 ..... 33



此文档版权归上海治精微电子有限公司所有

## 版本修订记录 (发布版 A)[1]

**2025 年 02 月——发布版 A**

更新功能框图、封装外形尺寸、采购信息、产品订货型号、相关器件

2023 年 08 月

[1] 本文中由上海治精微电子有限公司提供的信息是准确和可靠的。但是，上海治精微电子有限公司对其使用不承担任何责任，也不对任何使用它可能导致侵犯第三方专利或其他权利的情况承担任何责任。规格如有更改，恕不另行通知。本文中的商标和注册商标是其各自所有者的财产。对本文中任何专利或专利权，上海治精微电子有限公司均未通过暗示或其他方式授予许可。


此文档版权归上海治精微电子有限公司所有

## 引脚配置与功能

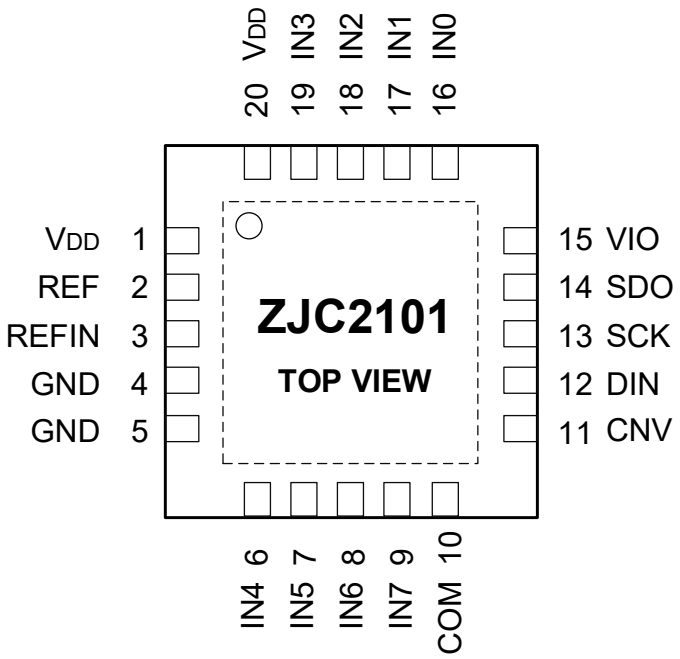



图3. ZJC2101-16 管脚配置图

注释：裸露焊盘无内部连接。为更好的焊接可靠性，推荐将此焊盘接地。

| 引脚名称 | 引脚编号 | 引脚类别 | 功能描述 |
|---|---|---|---|
| $V_{DD}$ | 1, 20 | 电源 | 电源管脚。$V_{DD}$ 范围为 2.3 V 至 5.5 V。建议通过至少 0.1 µF 陶瓷电容将 $V_{DD}$ 旁路至 GND。<br>使用内部基准源提供 2.5 V 输出时，最小值应为 3.0 V。<br>使用内部基准源提供 4.096 V 输出时，最小值应为 4.6 V。 |
| REF | 2 | 模拟输入或输出 | ADC 基准电压输入/缓冲输出。使能内部基准源时，此引脚产生一个 2.5 V 或 4.096 V 可选的基准电压输出。禁用内部基准源并使能缓冲器时，REF 产生 REFIN 引脚 (最大值 $V_{DD}$ - 0.5 V) 上外部输入基准电压的一个缓冲驱动电压。<br>此引脚必须通过与之尽量靠近的 10 µF 左右 X7R/X5R 陶瓷电容去耦至 GND 引脚。参见“基准电压输出/输入”部分。 |
| REFIN | 3 | 模拟输入或输出 | 内部基准电压输出/基准电压缓冲输入。<br>使用内部基准源时，内部存在无缓冲基准电压，并需要通过一个 0.1 µF 电容去耦。使能内部基准电压缓冲器时，施加一个 0.5 V 至 ($V_{DD}$ - 0.5 V)的基准源，经过缓冲后提供给 REF 引脚。参见“基准电压输出/输入”部分。 |
| GND | 4, 5 | 地 | 电源地。 |
| IN4 | 6 | 模拟输入 | ZJC2101-16：差分模拟输入通道 2 正或负。 |
| IN5 | 7 | 模拟输入 | ZJC2101-16：差分模拟输入通道 2 负或正。 |
| IN6 | 8 | 模拟输入 | ZJC2101-16：差分模拟输入通道 3 正或负。 |
| IN7 | 9 | 模拟输入 | ZJC2101-16：差分模拟输入通道 3 负或正。 |
| COM | 10 | 模拟输入 | 共模电压输入。推荐连接到地。 |


此文档版权归上海治精微电子有限公司所有

| 引脚名称 | 引脚编号 | 引脚类别 | 功能描述 |
|---|---|---|---|
| CNV | 11 | 数字输入 | 转换输入。在上升沿，CNV 启动转换。转换期间，如果 CNV 保持低电平，则繁忙指示器使能。 |
| DIN | 12 | 数字输入 | 串行数据输出。此输入用于写入 14 位 (DB [13 : 0] : 16 位字的高 14 位) 配置寄存器。可以在转换期间和转换后写入配置寄存器。 |
| SCK | 13 | 数字输入 | 串行数据时钟输入。此输入用于以 MSB 优先方式在 SDO 上输出数据以及在 DIN 上输入数据提供时钟。 |
| SDO | 14 | 数字输出 | 串行数据输出。转换码值数据通过此引脚输出，与 SCK 同步。转换结果为二进制补码。 |
| VIO | 15 | 数字接口电源 | 输入/输出接口数字电源。此引脚的标称电源与控制器接口电源相同 (1.8 V、2.5 V、3.3 V 或 5.0 V)。 |
| IN0 | 16 | 模拟输入 | ZJC2101-16：差分模拟输入通道 0 正或负。 |
| IN1 | 17 | 模拟输入 | ZJC2101-16：差分模拟输入通道 0 负或正。 |
| IN2 | 18 | 模拟输入 | ZJC2101-16：差分模拟输入通道 1 正或负。 |
| IN3 | 19 | 模拟输入 | ZJC2101-16：差分模拟输入通道 1 负或正。 |
| EPAD | | | 裸露焊盘。推荐连接到地。 |


此文档版权归上海治精微电子有限公司所有

## 绝对最大额定值 [1]

| 参数 | 额定值 |
|---|---|
| $V_{DD}$、REF、VIO 至 GND | -0.3 V ~ 6 V |
| REF、VIO 至 $V_{DD}$ | -6 V ~ $V_{DD}$ + 0.3 V |
| 模拟输入范围 (INx 至 GND) | -0.3 V ~ $V_{DD}$ + 0.3 V |
| 数字输入至 GND | -0.3 V ~ VIO + 0.3 V |
| 数字输出至 GND | -0.3 V ~ VIO + 0.3 V |
| 存储温度范围 | -65 °C 至 150 °C |
| 结温范围 | 150 °C |
| 引脚温度 (焊接，10 秒) | 300 °C |
| 最大回流焊接温度 [2] | 260 °C |
| 静电放电 (ESD) [3] | |
| 人体模型 (HBM) [4] | 1.5 kV |
| 充电器件模型 (CDM) [5] | 1 kV |

## 热阻 [6]

| 封装类型 | $\theta_{JA}$ | $\theta_{JC}$ | 单位 |
|---|---|---|---|
| QFN-20 | 51 | 27 | °C/W |

1 注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

2 符合 IPC/JEDEC J-STD-020 标准

3 带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品有专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施以避免器件性能下降或功能丧失。

4 符合 ANSI/ESDA/JEDEC JS-001 标准

5 符合 ANSI/ESDA/JEDEC JS-002 标准

6 $\theta_{JA}$ 针对器件焊接在电路板上以实现表贴封装的最坏条件。


此文档版权归上海治精微电子有限公司所有

## 技术规格

“●”表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 $V_{DD}$ = 2.3 V ~ 5.5 V，$V_{REF}$ = $V_{DD}$，VIO = 1.8 V ~ $V_{DD}$，$T_A$ = 25 °C。

| 参数 | 符号 | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **分辨率** | | | | 16 | | | |
| **输入特性** | | | | | | | |
| 模拟输入电压范围 | | 全差分 | ● | -$V_{REF}$ | | +$V_{REF}$ | |
| 绝对输入电压 | | 正输入对 GND | ● | -0.1 | | $V_{REF}$ + 0.1 | V |
| | | 负输入对 GND | ● | -0.1 | | $V_{REF}$ + 0.1 | V |
| 共模抑制比 | CMRR | $f_{IN}$ = 230 kHz | | | 67 | | dB |
| 漏电流 | | 采集阶段 @ 25 °C | | | 1 | | nA |
| 输入阻抗[1] | | | | | | | |
| **吞吐率** | | | | | | | |
| 全带宽 | | $V_{DD}$ = 4.5 V to 5.5 V | ● | 0 | | 250 | kSPS |
| | | $V_{DD}$ = 2.3 V to 4.5 V | | 0 | | 200 | |
| 1/4 带宽 | | $V_{DD}$ = 4.5 V to 5.5 V | ● | 0 | | 62.5 | |
| | | $V_{DD}$ = 2.3 V to 4.5 V | ● | 0 | | 50 | |
| 瞬态响应 | | 满量程阶跃 | ● | | | 2350 | ns |
| **直流准确度** | | | | | | | |
| 无失码 | | | ● | 16 | | | bits |
| 积分非线性误差 | INL | | ● | -1 | ±0.5 | +1 | LSB [2] |
| 差分非线性误差 | DNL | | ● | -0.9 | ±0.3 | +1 | LSB |
| 过渡噪声 | | REF = $V_{DD}$ = 5 V | | | 0.4 | | LSB |
| 增益误差 | GE | | ● | -10 | ±2 | ±10 | LSB |
| 增益误差匹配 | | | | | ±1 | | LSB |
| 增益误差温漂 | | | | | ±0.3 | | ppm/°C |
| 零输入误差 | ZE | $V_{DD}$ = 4.5 V to 5.5 V | ● | -5 | ±2 | +5 | LSB |
| 零输入误差匹配 | | | | | ±2 | | LSB |
| 零输入误差温漂 | | | | | ±0.3 | | ppm/°C |
| 电源灵敏度 | | $V_{DD}$ = 5 V ± 5% | | | ±0.5 | | LSB |
| **交流准确度** | | | | | | | |
| 动态范围 | DR | $V_{REF}$ = 5 V | ● | 95 | 96.2 | | dB[3] |

1 见模拟输入部分。
2 LSB 表示最低有效位。10 V 差分输入范围时，1 LSB = 152.6 μV。
3 除非另有说明，所有用分贝 (dB) 表示的规格均参考满量程输入 FSR，并用低于满量程 0.5 dB 的输入信号进行测试。


此文档版权归上海治精微电子有限公司所有

| 参数 | 符号 | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| 信噪比 | SNR | $f_{IN}$ = 1 kHz, $V_{REF}$ = 5 V | ● | 94.5 | 96 | | dB |
| | | $f_{IN}$ = 1 kHz, $V_{REF}$ = 4.096 V，内部基准源 | ● | 92 | 93.5 | | |
| | | $f_{IN}$ = 1 kHz, $V_{REF}$ = 2.5 V，内部基准源 | ● | 89.2 | 90.7 | | |
| 信纳比 | SINAD | $f_{IN}$ = 1 kHz, $V_{REF}$ = 5 V | ● | 94.3 | 95.8 | | dB |
| | | $f_{IN}$ = 1 kHz, $V_{REF}$ = 4.096 V，内部基准源 | ● | 91.8 | 93.3 | | |
| | | $f_{IN}$ = 1 kHz, $V_{REF}$ = 2.5 V，内部基准源 | ● | 89 | 90.5 | | |
| 无杂散动态范围 | SFDR | $f_{IN}$ = 1 kHz, $V_{REF}$ = 5 V | | | 114 | | dB |
| 总谐波失真 | THD | $f_{IN}$ = 1 kHz, $V_{REF}$ = 5 V | | | -113 | | dB |
| 通道间串扰 | | $f_{IN}$ = 1 kHz, $V_{REF}$ = 5 V | | | -120 | | dB |
| **外部基准电压输入** | | | | | | | |
| 电压范围 | | REF 输入 | ● | 0.5 | | $V_{DD}$ + 0.3 | V |
| | | REFIN 输入 (缓冲使能) | ● | 0.5 | | $V_{DD}$ - 0.2 | |
| 负载电流 | | 正弦波输入 | | | 120 | | μA |
| **内部基准电压输出** | | | | | | | |
| REF 输出电压 | | 4.096 V, @ 25 °C | | 4.092 | 4.096 | 4.100 | V |
| | | 2.5 V, @ 25 °C | | 2.495 | 2.5 | 2.500 | |
| REFIN 输出电压 | | REF = 4.096 V, @ 25 °C | | | 2.42 | | V |
| | | REF = 2.5 V, @ 25 °C | | | 1.21 | | |
| REF 输出电流 | | | | | 300 | | μA |
| 温度漂移 | $T_c$ | - 40 °C to +85 °C | ● | | 6 | 10 | ppm/°C |
| | | 0 °C to +85 °C | | | 2 | | ppm/°C |
| 线性调整率 | | $V_{DD}$ = 5 V ± 5% | | | 20 | | ppm/V |
| 开启建立时间 | | $C_{REFIN}$ = 0.1 μF, $C_{REF}$ = 10 μF | | | 10 | | ms |
| **采集动态** | | | | | | | |
| -3dB 输入带宽 | | $V_{DD}$ = 5 V，全带宽 | | | 6 | | MHz |
| | | $V_{DD}$ = 5 V，1/4 带宽 | | | 1.5 | | |
| 孔径延时 | | $V_{DD}$ = 5 V | | | 3 | | ns |
| **温度传感器** | | | | | | | |
| 输出电压 | | @ 25 °C | | | 300 | | mV |
| 温度灵敏度 | | | | | 1 | | mV/°C |


此文档版权归上海治精微电子有限公司所有

| 参数 | 符号 | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **数字输入** | | | | | | | |
| 逻辑电平 | $V_{IL}$ | | • | -0.3 | | 0.3 x VIO | V |
| | $V_{IH}$ | | • | 0.7 x VIO | | VIO + 0.3 | |
| 输入电流 | $I_{IL}$ | | • | -1 | | +1 | μA |
| | $I_{IH}$ | | • | -1 | | +1 | |
| **数字输出** | | | | | | | |
| 数据格式 | | 模拟输入通道 | | 串行 16 位，2 进制补码 | | | |
| | | 温度传感器通道 | | 串行 16 位，直接 2 进制 | | | |
| 逻辑低电压 | $V_{OL}$ | $I_{OUT}$ = +500 μA | • | | | 0.4 | V |
| 逻辑高电压 | $V_{OH}$ | $I_{OUT}$ = -500 μA | • | VIO - 0.3 | | | V |
| **电源** | | | | | | | |
| $V_{DD}$ | | 指定性能 | • | 4.5 | | 5.5 | V |
| $V_{DD}$ | | 工作范围 | | 2.3 | | 5.5 | V |
| VIO | | 指定性能 | | 1.8 | | $V_{DD}$ + 0.3 | V |
| 待机电流 [4,5] | | $V_{DD}$ 和 VIO = 5 V, 25 °C | | | 50 | | nA |
| 电源功耗 | | $V_{DD}$ = 5 V, 1 kSPS | • | | 34 | 38 | μW |
| | | $V_{DD}$ = 5 V, 100 kSPS | • | | 3.4 | 3.8 | mW |
| | | $V_{DD}$ = 5 V, 250 kSPS | • | | 8.5 | 9.5 | mW |
| | | $V_{DD}$ = 5 V, 250 kSPS，内部基准源 | • | | 13 | 15 | mW |
| **温度范围** | | | | | | | |
| 额定性能 | | $T_{MIN}$ to $T_{MAX}$ | | -40 | | +85 | °C |

4 根据需要，所有数字输入强制接 VIO 或 GND。
5 在采集阶段。


此文档版权归上海治精微电子有限公司所有

## 时序指标

“●”表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 $V_{DD}$=4.5 V~5.5 V，VIO = 1.8 V~$V_{DD}$，$T_A$ = -40 °C 至+85 °C。

| 参数 | 符号 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| 转换时间：CNV 上升沿至数据可用 | $t_{CONV}$ | ● | | | 1.65 | μs |
| 采集时间 | $t_{ACQ}$ | ● | 2.35 | | | μs |
| 转换间隔时间 | $t_{CYC}$ | ● | 4.0 | | | μs |
| 转换期间数据写入/读取 | $t_{DATA}$ | ● | | | 1.0 | μs |
| CNV 脉冲宽度 | $t_{CNVH}$ | ● | 10 | | | ns |
| SCK 周期 (VIO > 3.3 V) | $t_{SCK}$ | ● | 15 | | | ns |
| VIO 高于 2.7 V | | ● | 20 | | | ns |
| VIO 高于 2.3 V | | ● | 25 | | | ns |
| VIO 高于 1.8 V | | ● | 40 | | | ns |
| SCK低电平时间 (VIO > 3.3 V) | $t_{SCKL}$ | ● | 7.5 | | | ns |
| SCK 高电平时间 (VIO > 3.3V) | $t_{SCKH}$ | ● | 7.5 | | | ns |
| SCK 下降沿至数据仍然有效 | $t_{HSDO}$ | ● | 4 | | | ns |
| SCK 下降沿至数据有效延迟时间 | $t_{DSDO}$ | | | | | |
| VIO 高于 2.7 V | | ● | | | 17 | ns |
| VIO 高于 2.3 V | | ● | | | 18 | ns |
| VIO 高于 1.8 V | | ● | | | 21 | ns |
| CNV 低电平至 SDO D15 MSB 有效 | $t_{EN}$ | | | | | |
| VIO 高于 2.7 V | | ● | | | 22 | ns |
| VIO 高于 2.3 V | | ● | | | 25 | ns |
| VIO 高于 1.8 V | | ● | | | 28 | ns |
| CNV 高电平或最后一个 SCK 下降沿至 SDO 高阻态 | $t_{DIS}$ | | | | 25 | ns |
| CNV 低电平至 SCK 上升沿 | $t_{CLCLK}$ | ● | 10 | | | ns |
| 最后一个 SCLK 下降沿到 CNV 上升沿延迟 | $t_{QUIET}$ | ● | 140 | | | ns |
| SCK 上升沿至 DIN 有效设置时间 | $t_{SDIN}$ | ● | 5 | | | ns |
| SCK 上升沿至 DIN 有效保持时间 | $t_{HDIN}$ | ● | 5 | | | ns |


此文档版权归上海治精微电子有限公司所有

## 时序指标

“●”表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 $V_{DD}$ = 2.3 V ~ 4.5 V，VIO = 1.8 V ~ $V_{DD}$，$T_A$ = -40 °C 至 +85 °C。

| 参数 | 符号 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| 转换时间：CNV 上升沿至数据可用 | $t_{CONV}$ | ● | | | 3.1 | μs |
| 采集时间 | $t_{ACQ}$ | ● | 1.9 | | | μs |
| 转换间隔时间 | $t_{CYC}$ | ● | 5.0 | | | μs |
| 转换期间数据写入/读取 | $t_{DATA}$ | ● | | | 1.2 | μs |
| CNV 脉冲宽度 | $t_{CNVH}$ | ● | 10 | | | ns |
| SCK 周期 (VIO > 3.3 V) | $t_{SCK}$ | ● | 15 | | | ns |
| VIO 高于 2.7 V | | ● | 20 | | | ns |
| VIO 高于 2.3 V | | ● | 25 | | | ns |
| VIO 高于 1.8 V | | ● | 40 | | | ns |
| SCK低电平时间(VIO > 3.3 V) | $t_{SCKL}$ | ● | 7.5 | | | ns |
| SCK 高电平时间(VIO > 3.3V) | $t_{SCKH}$ | ● | 7.5 | | | ns |
| SCK 下降沿至数据仍然有效 | $t_{HSDO}$ | ● | 4 | | | ns |
| SCK 下降沿至数据有效延迟时间 | $t_{DSDO}$ | | | | | |
| VIO 高于 2.7 V | | ● | | | 17 | ns |
| VIO 高于 2.3 V | | ● | | | 18 | ns |
| VIO 高于 1.8 V | | ● | | | 21 | ns |
| CNV 低电平至 SDO MSB 有效 | $t_{EN}$ | | | | | |
| VIO 高于 2.7 V | | ● | | | 22 | ns |
| VIO 高于 2.3 V | | ● | | | 25 | ns |
| VIO 高于 1.8 V | | ● | | | 28 | ns |
| CNV 高电平或最后一个 SCK 下降沿至 SDO 高阻态 | $t_{DIS}$ | | | | 25 | ns |
| CNV 低电平至 SCK 上升沿 | $t_{CLCLK}$ | ● | 10 | | | ns |
| 最后一个 SCLK 下降沿到 CNV 上升沿延迟 | $t_{QUIET}$ | ● | 220 | | | ns |
| SCK 上升沿至 DIN 有效设置时间 | $t_{SDIN}$ | ● | 5 | | | ns |
| SCK 上升沿至 DIN 有效保持时间 | $t_{HDIN}$ | ● | 5 | | | ns |


此文档版权归上海治精微电子有限公司所有

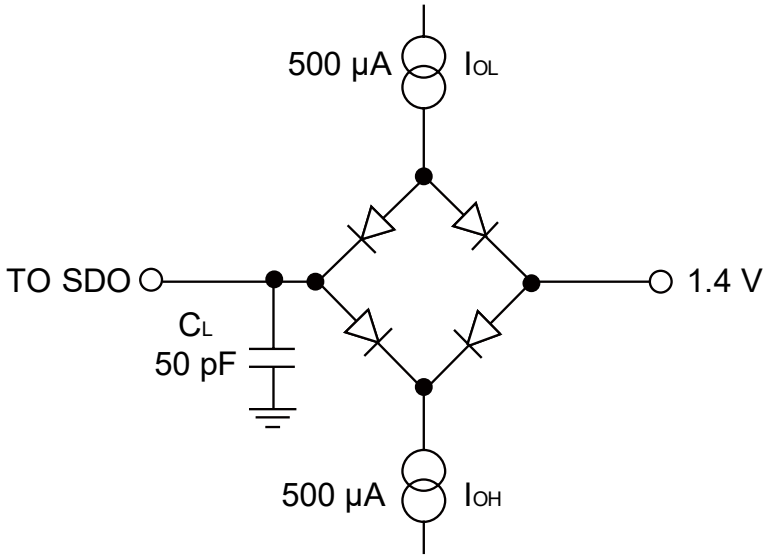



图4. 数字接口时序的负载电路

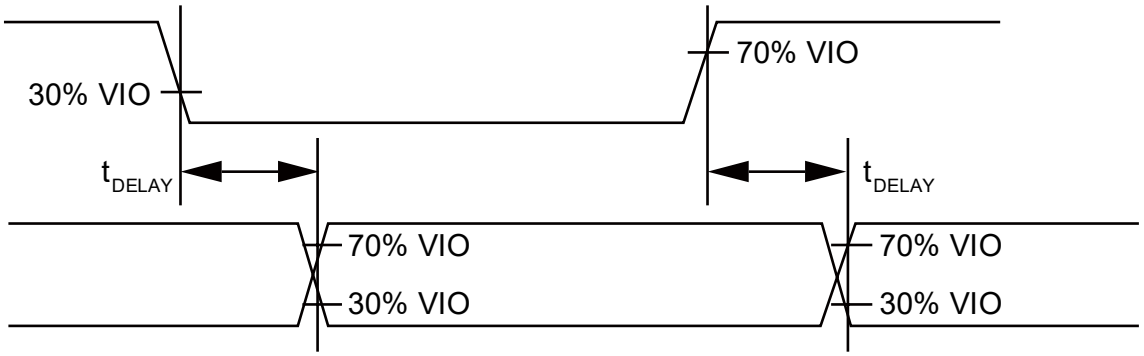



图5. 时序的逻辑电平


此文档版权归上海治精微电子有限公司所有

## 典型特性

除非另有说明，$V_{DD}$ = 5.0 V，REF = 5.0 V，VIO = 3.3 V，$T_A$ = 25 °C。

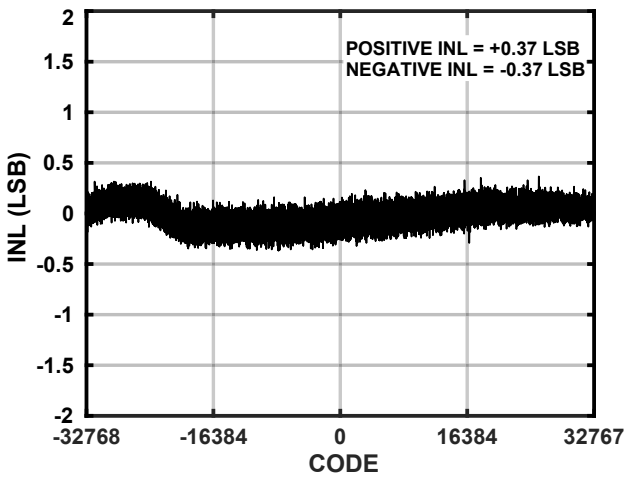



图6. 积分非线性与代码的关系

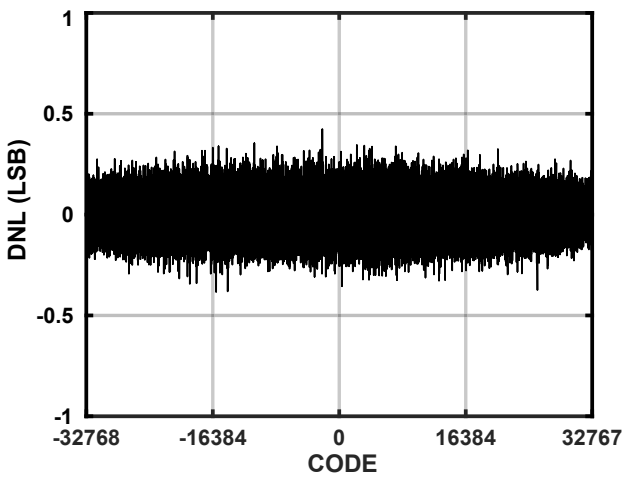



图7. 微分非线性与代码的关系

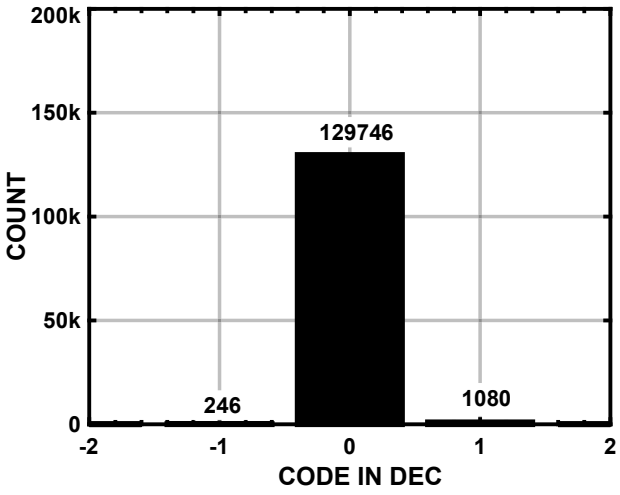



图8. 直流输入的直方图 (码中心)

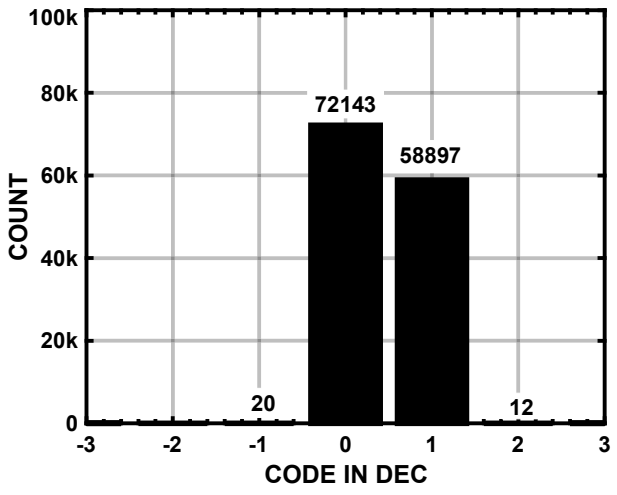



图9. 直流输入的直方图 (码跃迁)

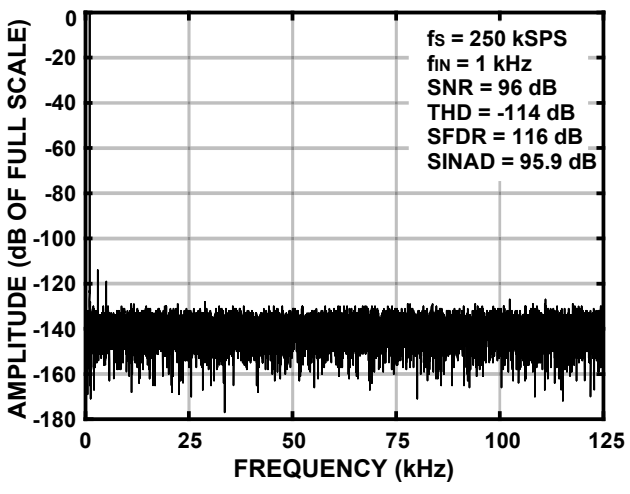



图10. FFT 曲线图 $V_{REF}$ = $V_{DD}$ = 5 V

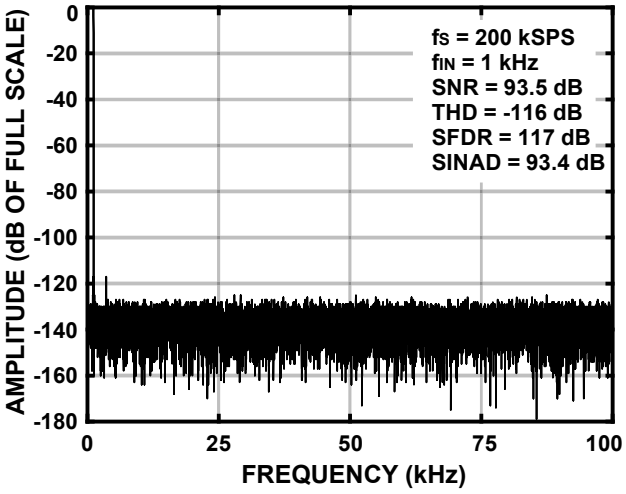



图11. FFT 曲线图 $V_{REF}$ = $V_{DD}$ = 2.5 V


此文档版权归上海治精微电子有限公司所有

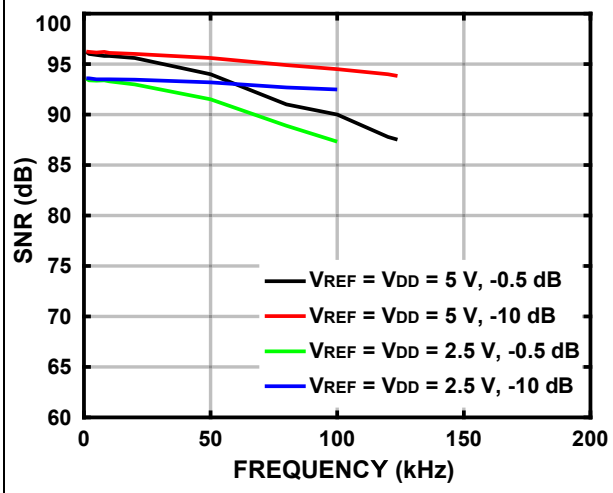



图12. SNR 与频率的关系

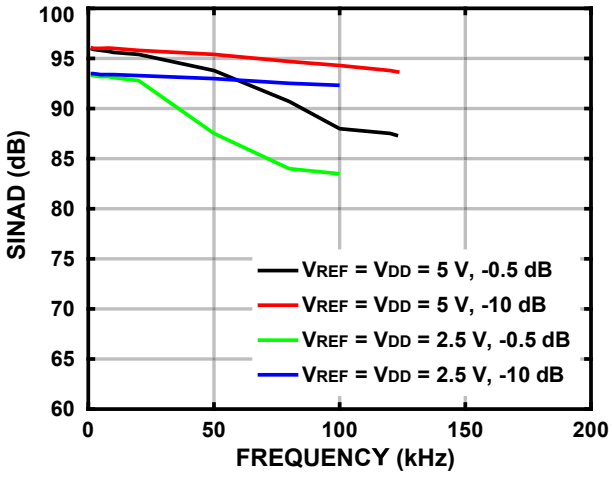



图13. SINAD 与频率的关系

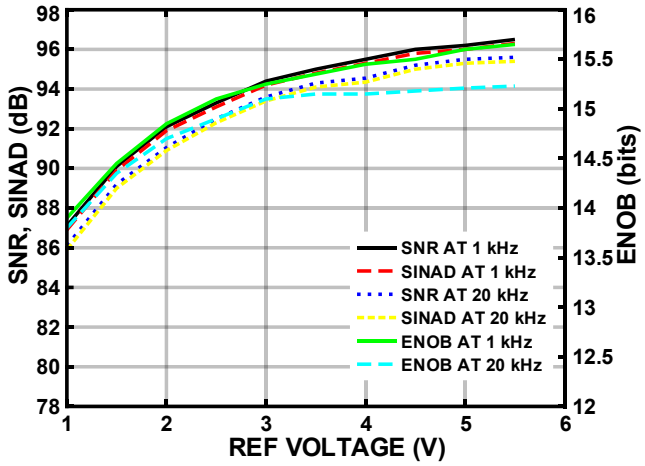



图14. SNR, SINAD 和 ENOB 与基准电压的关系

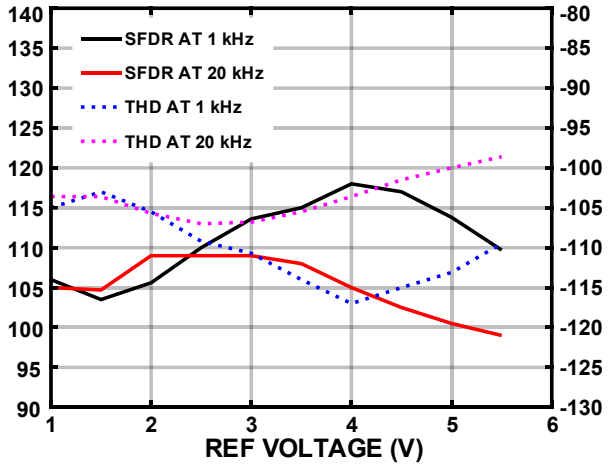



图15. THD、SFDR 与基准电压的关系

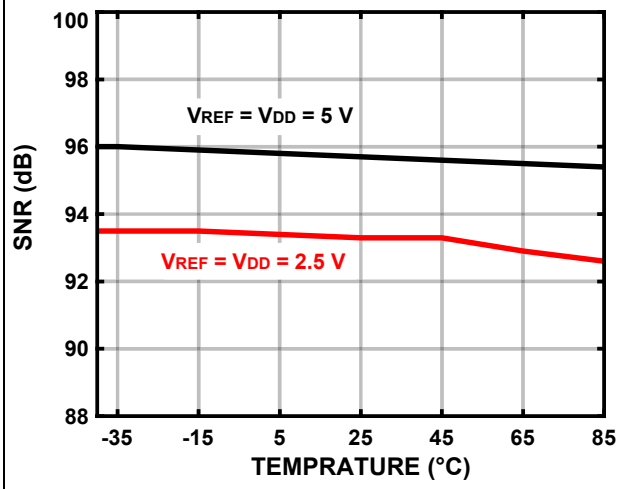



图16. SNR 与温度的关系

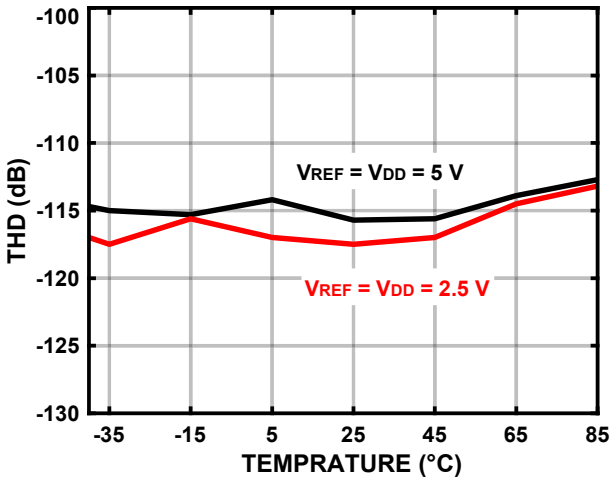



图17. THD 与温度的关系


此文档版权归上海治精微电子有限公司所有

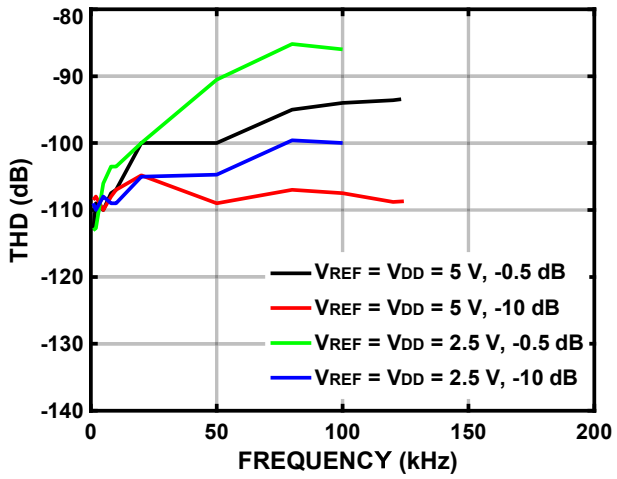



图18. THD 与频率的关系

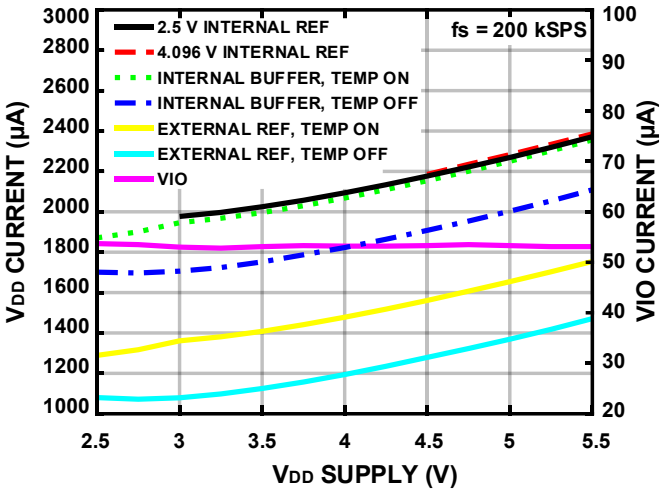



图19. $V_{DD}$ 和 VIO 工作电流与电压的关系

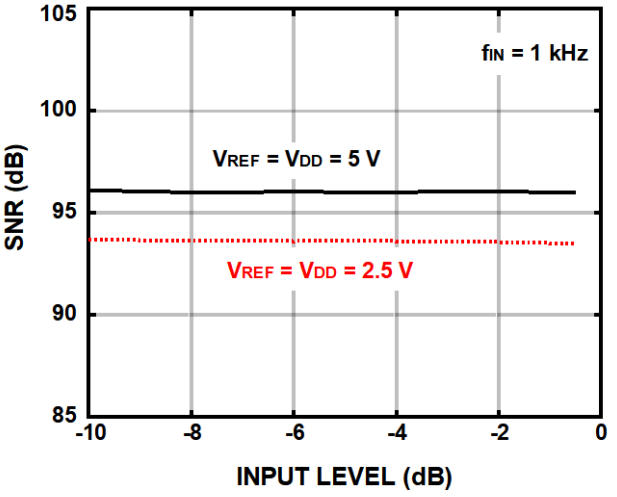



图20. SNR 与输入电平的关系

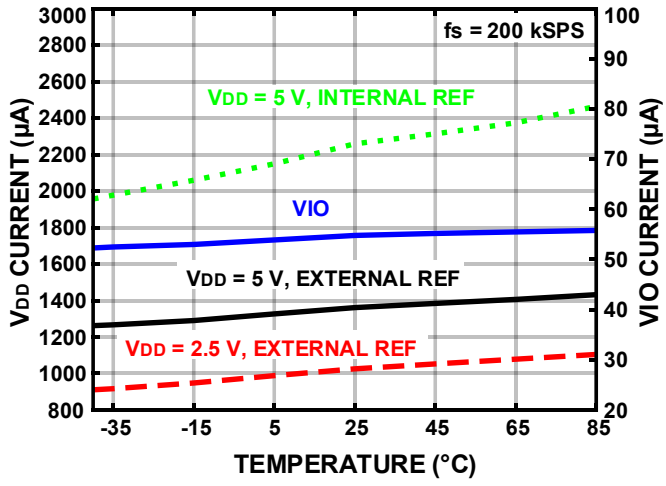



图21. $V_{DD}$ 和 VIO 工作电流与与温度的关系

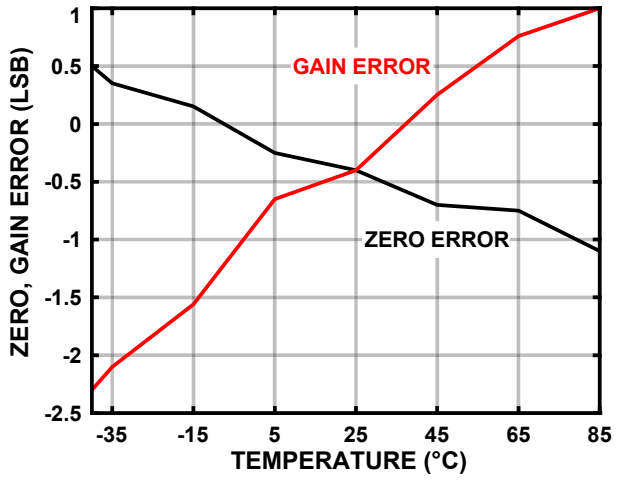



图22. 失调和增益误差与温度的关系

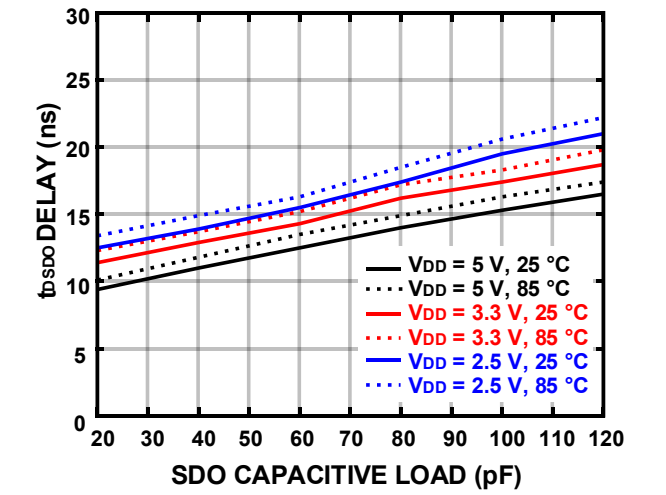



图23. $t_{DSDO}$ 延时与负载电容和电压的关系


此文档版权归上海治精微电子有限公司所有

## 工作原理

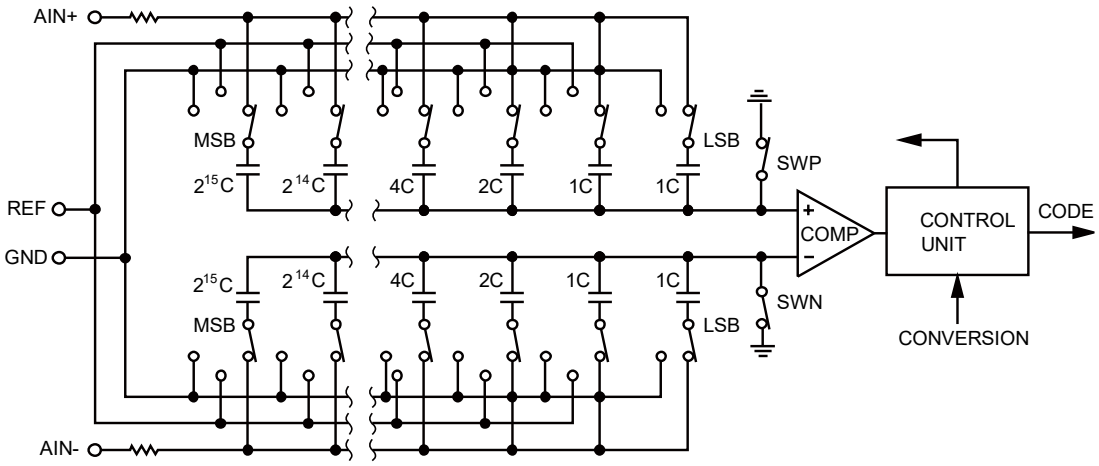



图24. ADC 简化电路图

### 电路结构

ZJC2101-16 是 4 通道切换、16 位、电荷再分配逐次逼近寄存器型模数转换器，每秒转换可达 250 k 样本。

ZJC2101-16 内置多通道、低功耗数据采集所需的组成部分，包括：16 位 SAR ADC；4 通道多路选通器；内部低漂移基准电压源和缓冲器；温度传感器；可选的 1 阶低通滤波器；通道序列器。ZJC2101-16 的额定工作电压为 2.3 V 至 5.5 V，可以与 1.8 V 至 5 V 数字逻辑电平接口。两款器件采用 20 引脚、4mm X 4 mm QFN 封装。

### 转换器操作

在图 24 显示了 ZJC2101-16 的简化电路图。在采集阶段，与比较器输入端相连的阵列端子通过 SWP 和 SWN 连接到 GND。当采集阶段完成且 CNV 输入出现上升沿时，就会启动转换阶段。当转换阶段开始时，SWP 和 SWN 首先断开。然后，两个电容阵列从输入端断开，并连接到 GND 输入端。比较器输入将按照二进制加权电压步进 ($V_{REF}$/2^1、$V_{REF}$/2^2...$V_{REF}$/2^15) 变化。控制逻辑从 MSB 开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生 ADC 输出码和繁忙信号指示。


此文档版权归上海治精微电子有限公司所有

## 传递函数

ZJC2101-16 模拟输入通道码值输出为 16 位二进制补码。温度传感器码值输出为 16 位直接 2 进制码。

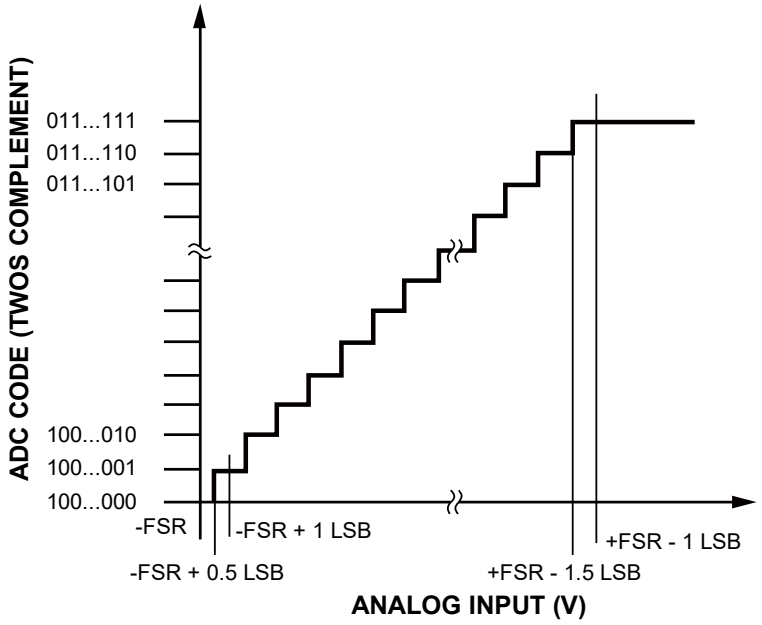



图25. ADC 理想传递函数

输出码和理想输入电压：

| 描述 | 模拟输入 $V_{REF}$ = 5 V | 数字输出码 (十六进制) |
|---|---|---|
| 正满量程-1 LSB | +4.9998474 V | 0x7FFF [1] |
| 中间电平+1 LSB | +152.6 µV | 0x0001 |
| 中间电平 | 0 V | 0x0000 |
| 中间电平-1 LSB | -152.6 µV | 0xFFFF |
| 负满量程+1 LSB | -4.9998474 V | 0x8001 |
| 负满量程 | -5 V | 0x8000 [2] |

1 这也是超量程模拟输入 (VIN+ – VIN-高于+$V_{REF}$) 对应的代码。
2 这也是欠量程模拟输入 (VIN+ – VIN-低于-$V_{GND}$) 对应的代码。


此文档版权归上海治精微电子有限公司所有

## 典型连接图

图 26 所示的例子为采用多个电源时 ZJC2101-16 的建议连接图。

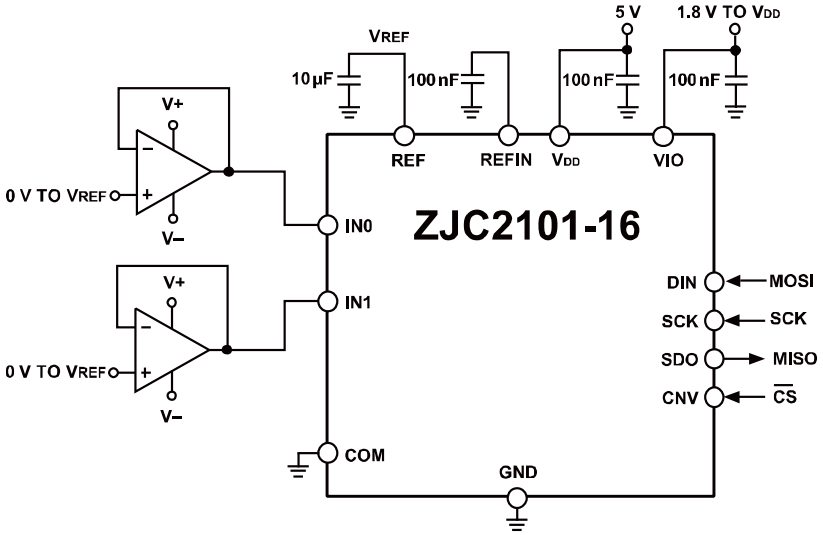



图26. 采用多路电源的应用电路

图 27 描述了 ZJC2101-16 输入结构的等效电路。

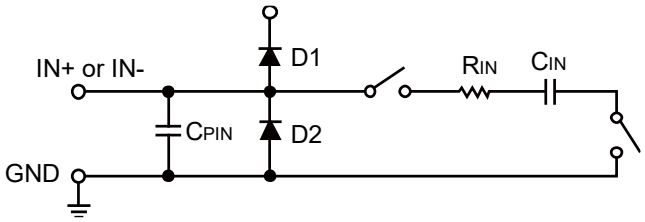



图27. 两个二极管 D1 和 D2 为模拟输入提供 ESD 保护

注意，模拟输入信号的电压值不能比电源电压 ($V_{DD}$) 高 0.3 V 以上。如果模拟输入信号的电压超过 $V_{DD}$ + 0.3 V，二极管将正偏并开始传导电流。这两个二极管 D1 和 D2 为模拟输入 IN+和 IN−提供 ESD 保护。

在采集阶段，模拟输入 (IN+) 的阻抗可以看成是由 $R_{IN}$ 和 $C_{IN}$ 串联构成的网络与电容 $C_{PIN}$ 的并联组合。$C_{PIN}$ 主要包括引脚电容。$R_{IN}$ 典型值为 700 Ω，是由串联电阻与开关的导通电阻构成的集总元件。$C_{IN}$ 典型值为 30 pF，主要包括 ADC 采样电容。高源阻抗会显著影响交流特性，特别是谐波失真。THD 性能下降程度是源阻抗和模拟输入频率的函数。

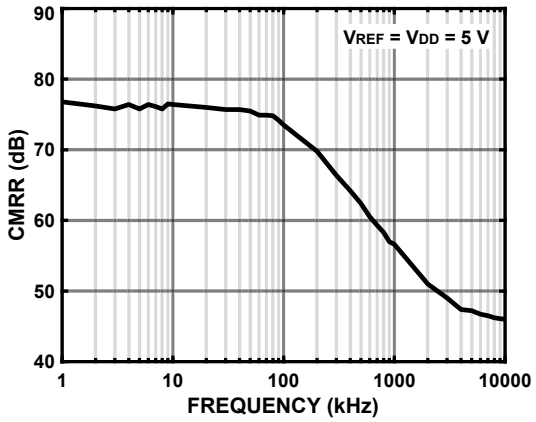



图28. 模拟输入 CMRR 与频率的关系


此文档版权归上海治精微电子有限公司所有

$R_{IN}$ 和 $C_{IN}$ 构成一个低通滤波器，有助于限制输入噪声。在转换阶段，采保开关断开，输入阻抗仅包括 $C_{PIN}$。当 ZJC2101-16 进行采集时，$R_{IN}$ 与 $C_{IN}$ 构成的单极低通滤波器可以通过寄存器位 CFG [6] 编程为全带宽或 1/4 带宽。请注意，使用该滤波器时，转换器吞吐速率也必须降低为 1/4。

## 单端至差分驱动器

单极性信号 ($V_{REF}$/2 直流电压偏移) 可以通过运放缓冲驱动器和反向驱动，为 ZJC2101-16 提供全差分输入。

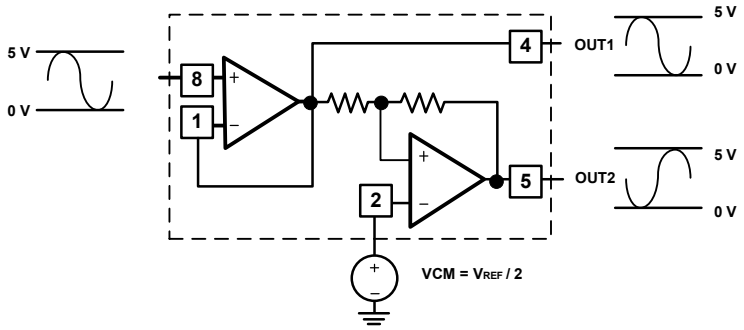



图29. 高输入阻抗单极性单端转真差分

也可以通过全差分运放实现单端转差分。如果需要高输入阻抗，可以在前端增加一级运放缓冲驱动，原理图见图 30。

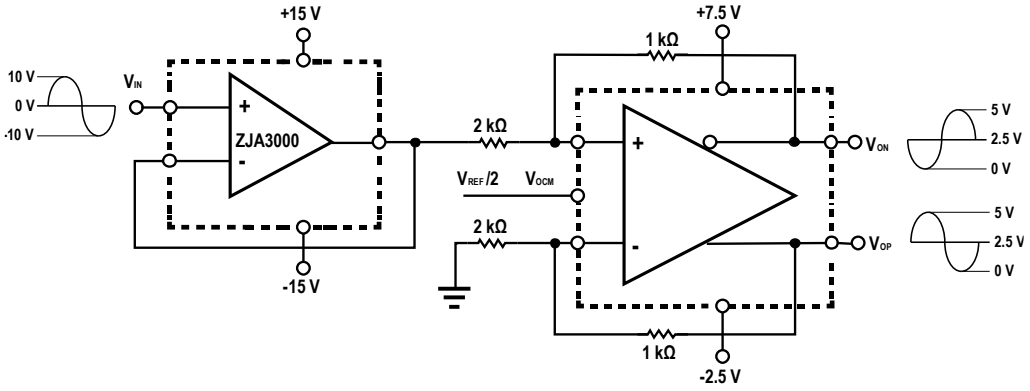



图30. 高输入阻抗双极性单端转全差分


此文档版权归上海治精微电子有限公司所有

## 模拟输入配置

如图 31 所示，正、负输入通道通过 CFG [9 : 7] 配置。如果 CFG [9 : 7] 为偶数，则正输入分别为 IN0、IN2、IN4 和 IN6，负输入为 IN1、IN3、IN5 和 IN7；如果 CFG [9 : 7] 为奇数，则正输入分别为 IN1、IN3、IN5 和 IN7，负输入为 IN0、IN2、IN4 和 IN6。注意，对于序列器，正通道始终为 IN0、IN2、IN4 和 IN6。

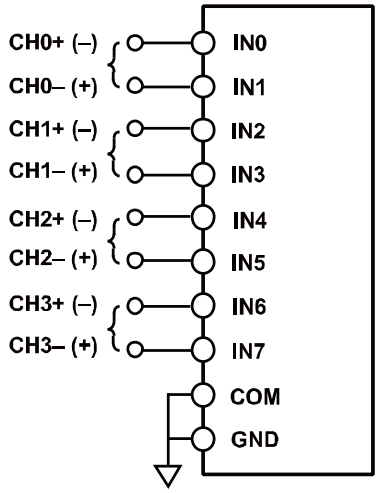



图31. 多路复用全差分模拟输入配置

## 内部基准电压源/温度传感器

精密内部基准电压源适合多数应用，可以设置为 2.5 V 或 4.096 V 输出。使能内部基准电压源时，REFIN 引脚上输出带隙电压，需要一个 0.1 µF 外部电容。REFIN 的电流输出有限，如果要驱动其它负载，需要后接一个适当的缓冲器。使能该基准电压源也会使能内部温度传感器。当使用温度传感器时，输出为参考 GND 引脚的直接二进制码。

内部基准电压温漂典型值为 6 ppm//°C。如图 32 所示连接，以使用 2.5 V 或 4.096 V 内部基准电压源。

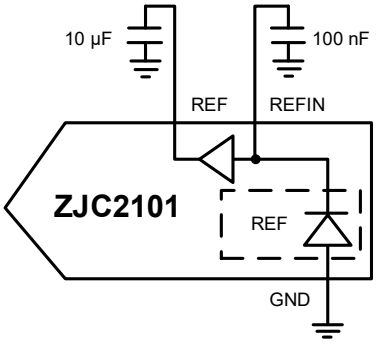



图32. 2.5 V 或 4.096 V 内部基准电压源

## 外部基准电压源和内部缓冲器

为更高性能，外部基准电压源可以配合内部缓冲器使用，如图 33 所示。外部基准源连接到片内单位增益缓冲器输入引脚 REFIN，并在 REF 引脚上产生驱动输出。这是 ADC 转换使用的参考电压源。缓冲器使能后，增益为 1，最大容许电压必须小于或等于 ($V_{DD}$ - 0.5 V)。


此文档版权归上海治精微电子有限公司所有

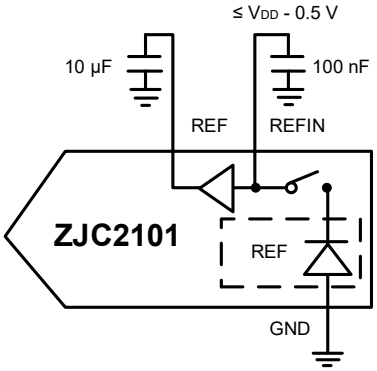



图33. 使用内部缓冲器的外部基准电压源

## 外部基准电压源

为了达到最高的性能或基准源电压，可以如图 34。所示将一个驱动后的低噪声外部基准电压源连到 REF 引脚。对于需要使用温度传感器的应用，内部基准电压源必须保持使能 (注意要禁用内部缓冲器)。

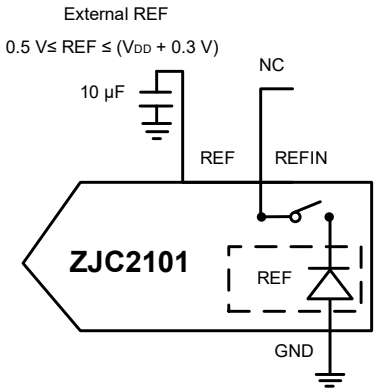



图34. 关断内部缓冲器的外部基准电压源

对于高精度 ADC 应用场合，精密基准电压源是必不可少的器件。一般而言，对 16 位 ADC，基准源需要达到低初始误差，低噪声，低温漂目标。ZJC2101-16 基准电压 REF 具有动态输入阻抗，因此应利用低阻抗源驱动。REF 与 GND 引脚之间应有效去耦，如“布局布线”部分所述。图 35 给出了一个具体的基准源及驱动设计的例子。ZJR1001/2/3 系列高精度基准源芯片正好可以满足这些需求。

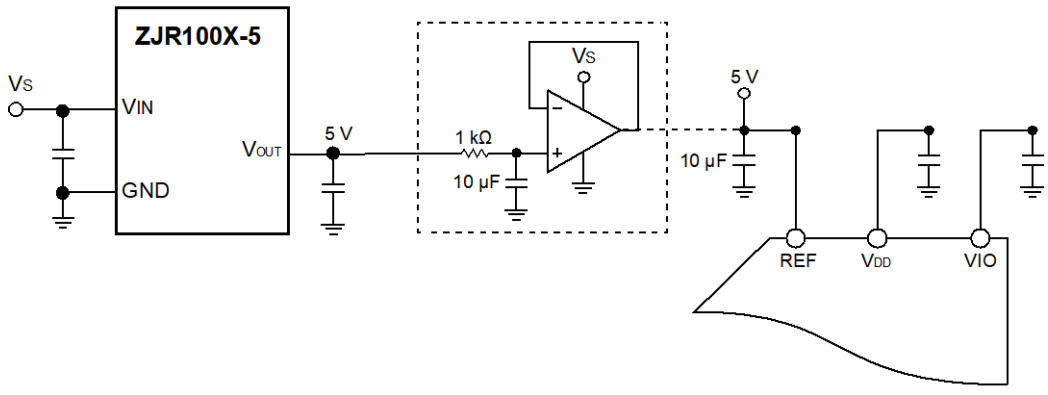



图35. 外部基准电压源驱动


此文档版权归上海治精微电子有限公司所有

## 电源

ZJC2101-16 使用两个电源引脚：内核电源 ($V_{DD}$) 以及数字输入/输出接口电源 VIO。VIO 可以与 1.8 V 至 5.5 V 的任何逻辑直接接口。为减少所需的电源数，VIO 和 $V_{DD}$ 引脚可以通过电阻或磁珠连在一起。$V_{DD}$ 的 PSRR 曲线如图 36 所示。

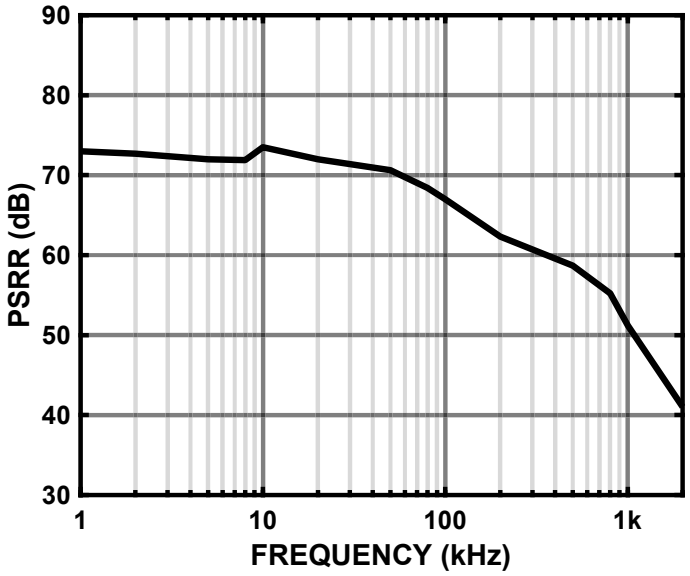



图36. $V_{DD}$ 的 PSRR 与频率的关系

ZJC2101-16 在每次转换结束时自动进入待机模式，因此功耗与采样速率大致成线性比例关系。这使得该器件适合低采样率和低功耗的应用。如图 37 所示。

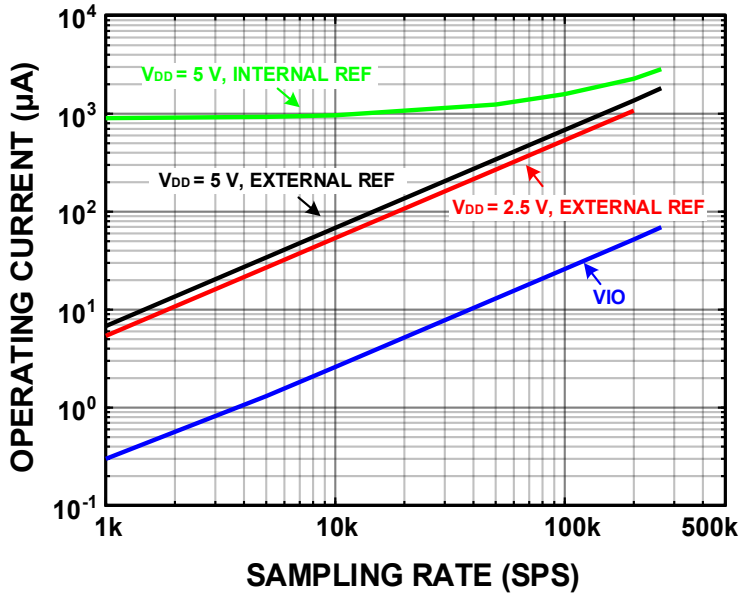



图37. 工作电流与采样速率的关系


此文档版权归上海治精微电子有限公司所有

## 数字接口

ZJC2101-16 配有 4 线 SPI 数字接口。该接口使用 CNV、DIN、SCK 和 SDO 信号。一个 14 位寄存器 CFG [13 : 0] 用于配置 ADC 的输入类型，转换通道、基准电压源选择等，详情参见“配置寄存器，CFG”部分。当 CNV 为低电平时，读取码值和写入寄存器可以发生在转换阶段、采集阶段以及采集转换全程 (采集加转换)，详见以下各部分。CFG 字在前 14 个 SCK 上升沿更新，转换码值在前 15 个 (繁忙模式，则为第 16 个)SCK 下降沿输出。如果使能了 CFG 回读，则还需要 14 个 SCK 下降沿以输出与转换码值相关的 CFG 字，CFG 的 MSB 接在转换码值的 D0 之后。

### 转换期间读取/写入

当在转换 (n) 期间执行读取/写入时，转换结果是上一次 (n - 1) 转换的结果，写入 CFG 寄存器则是针对下一次 (n + 1) 采集和转换。CNV 上升沿启动转换后，必须再尽快变为低电平，以允许在转换期间执行读取/写入。读取/写入的截止时间为 $t_{DATA}$。所需的 SCK 频率可通过下式计算：

$$f_{SCK} \geqslant \frac{Number_SCK_Edges}{t_{DATA}}$$

$t_{DATA}$ 和 $t_{CNV}$ 之间的采集期间不应发生数字活动，否则可能导致噪声增加。

### 转换后读取/写入

CNV 变为低电平时，SDO 输出繁忙指示位或 MSB 位。剩余的码值数据位在随后的 SCK 下降沿逐位输出。在第 16 个 SCK 下降沿之后，或者当 CNV 变为高电平时 (以最先出现者为准)，SDO 返回高阻态。当在转换之后或采集阶段 (n) 读取/写入时，转换码值是上一次 (n - 1) 转换的结果，写入寄存器则是为配置下一次 (n + 1) 采集。

### 采集转换全程读取/写入

在采集转换全程执行读取/写入时，数据访问开始于当前采集 (n) 阶段，并延伸至转换 (n) 阶段。转换结果是上一次 (n - 1) 转换的结果，写入 CFG 寄存器则是配置下一次 (n + 1) 采集和转换。读取/写入的截止时间为 $t_{DATA}$。

请注意，采集转换全程的数据访问要求 CNV 上升沿以启动新的转换，CNV 为高电平时不允许进行数据访问。

### 配置寄存器 CFG

ZJC2101-16 利用一个 14 位配置寄存器 CFG[13:0] 配置输入、待转换通道、一阶滤波器带宽、基准电压源和通道序列器。CFG 寄存器通过前 14 个 SCK 上升沿锁存 DIN 上 (MSB 优先)。

可以在转换期间、采集期间或采集转换全程写入该寄存器，寄存器更新则发生在转换结束时，$t_{CONV}$ 最大值。写入 CFG 寄存器时总是存在一个深度延迟。请注意，上电时 CFG 寄存器未定义，需要两次空转换以更新寄存器。

| 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CFG | INCC | INCC | INCC | INX | INX | INX | BW | REF | REF | REF | SEQ | SEQ | RB |


此文档版权归上海治精微电子有限公司所有

配置寄存器描述：

| 位 | 名称 | 功能描述 | | | |
|---|---|---|---|---|---|
| [13] | CFG | 配置更新。<br>0 = 保持当前的配置设置，写无效。<br>1 = 覆盖寄存器的内容，写使能。 | | | |
| [12 : 10] | INCC | 配置输入通道。选择全差分模拟输入或温度传感器。参见“输入配置”部分。 | | | |
| | | 位 12 | 位 11 | 位 10 | 功能 |
| | | 0 | 0 | X[1] | 全差分模拟输入。 |
| | | 0 | 1 | 0 | 不能使用。 |
| | | 0 | 1 | 1 | 温度传感器。 |
| | | 1 | 0 | X | 不能使用。 |
| | | 1 | 1 | 0 | 不能使用。 |
| | | 1 | 1 | 1 | 不能使用。 |
| [9 : 7] | INx | 以二进制方式选择输入通道。 | | | |
| | | 位 9 | 位 8 | 位 7 | 通道 |
| | | 0 | 0 | 0 | 差分输入通道对 IN0/IN1。正输入 IN0，负输入 IN1。 |
| | | 0 | 0 | 1 | 差分输入通道对 IN1/IN0。正输入 IN1，负输入 IN0。 |
| | | … | … | … | 差分输入通道对。 |
| | | 1 | 1 | 0 | 差分输入通道对 IN6/IN7。正输入 IN6，负输入 IN7。 |
| | | 1 | 1 | 1 | 差分输入通道对 IN7/IN6。正输入 IN7，负输入 IN6。 |
| [6] | BW | 选择低通滤波器的带宽。参见“可选低通滤波器”部分。<br>0 = 1/4 带宽，使用内部串联电阻限制模拟输入带宽，最高吞吐速率也必须降至 1/4。<br>1 = 全带宽。 | | | |
| [5 : 3] | REF | 基准电压源/缓冲器选择。选择内部、外部或外部缓冲基准电压，使能或禁用片内温度传感器。参见“基准电压输出/输入”部分。 | | | |
| | | 位 5 | 位 4 | 位 3 | 功能 |
| | | 0 | 0 | 0 | 内部基准电压源，REF = 2.5 V 输出。 |
| | | 0 | 0 | 1 | 内部基准电压源，REF = 4.096 V 输出。 |
| | | 0 | 1 | 0 | 外部基准电压源 (REF 输入)，使能温度传感器。禁用内部基准缓冲器。 |
| | | 0 | 1 | 1 | 外部基准电压源 (REFIN 输入)，使能温度传感器，使能内部基准缓冲器。 |
| | | 1 | 0 | 0 | 不能使用。 |
| | | 1 | 0 | 1 | 不能使用。 |
| | | 1 | 1 | 0 | 外部基准电压源 (REF 输入)，禁用内部基准源，禁用内部基准缓冲器，禁用温度传感器。 |
| | | 1 | 1 | 1 | 外部基准电压源 (REFIN 输入)，禁用内部基准源，禁用温度传感器。使能内部基准缓冲器。 |
| [2 : 1] | SEQ | 通道序列器。允许以 IN0 到 INx 的方式扫描通道。参见“通道序列器”部分。 | | | |
| | | 位 2 | 位 1 | 功能 | |
| | | 0 | 0 | 禁用通道序列器。 | |
| | | 0 | 1 | 无效配置。 | |
| | | 1 | 0 | 通道扫描差分通道对 IN0 至 INx(由 CFG [9 : 7] 设置，x 为偶数)，然后扫描温度。 | |
| | | 1 | 1 | 通道扫描差分通道对 IN0 至 INx(由 CFG [9 : 7] 设置，x 为偶数)。 | |
| [0] | RB | 回读 CFG 寄存器。<br>0 = 码值数据读取后接着回读当前配置。<br>1 = 码值数据读取后不回读配置内容。 | | | |

[1] X = 任意

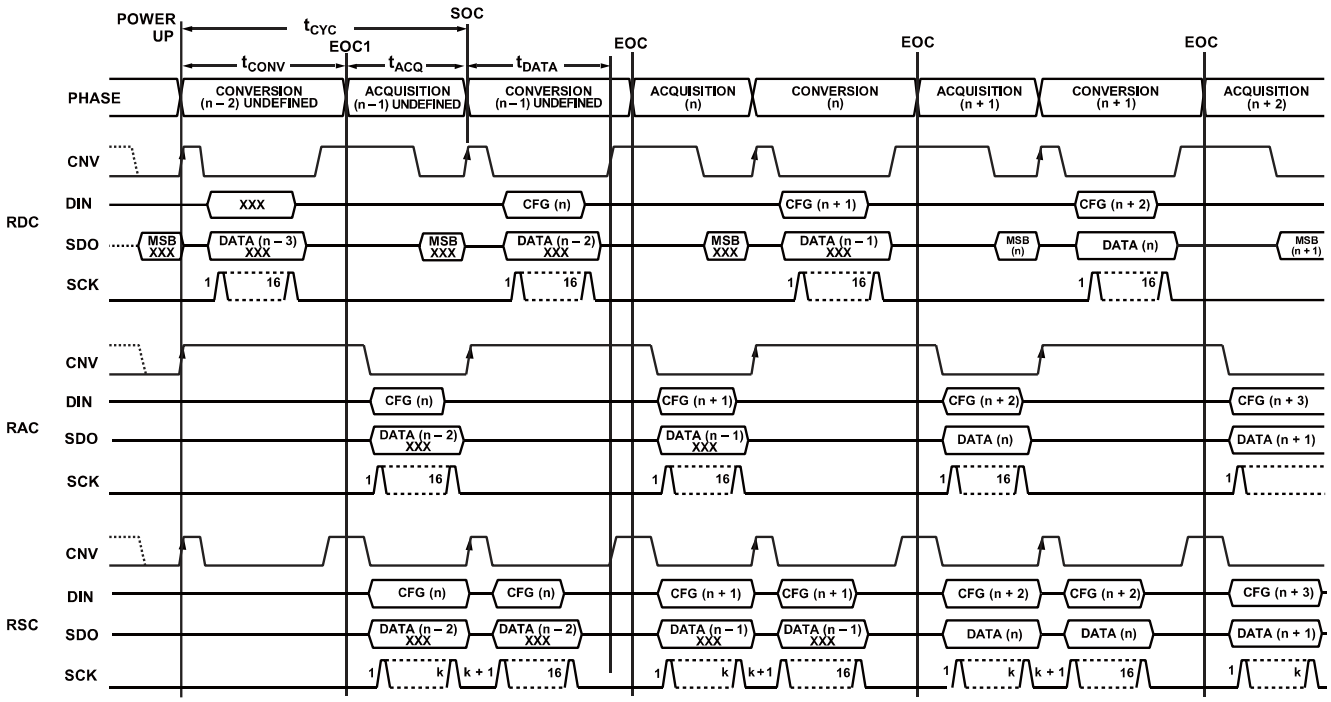

此文档版权归上海治精微电子有限公司所有

## 无繁忙指示的通用时序

图 38 为三种模式的时序：转换期间读取/写入 (RDC)、转换后读取/写入 (RAC) 和采集转换全程读取/写入 (RSC)。注意，在转换结束 (EOC) 时，必须使 CNV 为高电平，才能禁用繁忙指示。

数据访问时间为读取/写入时间 $t_{DATA}$。如果没有在 EOC 之前写入完整的 CFG 字，则 CFG 字被丢弃，当前配置仍然有效。如果没有在 EOC 之前完全读出转换结果，则转换码值丢失，SDO 输出当前码值的 MSB。

当 CNV 在 EOC 之后变为低电平时，SDO 从高阻态变为 MSB。SCK 下降沿输出从 MSB-1 开始的之后各个码值位。无论何种读取/写入模式，上电之后的前三次转换结果都是无意义的，因为有效 CFG 配置直到第 2 个 EOC 之后才生效，因而需要 2 次空转换。同样，如果状态机在上电状态期间写入 CFG (如 RDC 所示)，则下一个阶段需要重新写入 CFG 寄存器。请注意，在阶段 (n - 1) 写入 CFG 寄存器时，第一个有效数据出现在 (n + 1) 阶段。




注：不回读 CFG 寄存器时 n = 16；回读 CFG 寄存器时 n = 30。

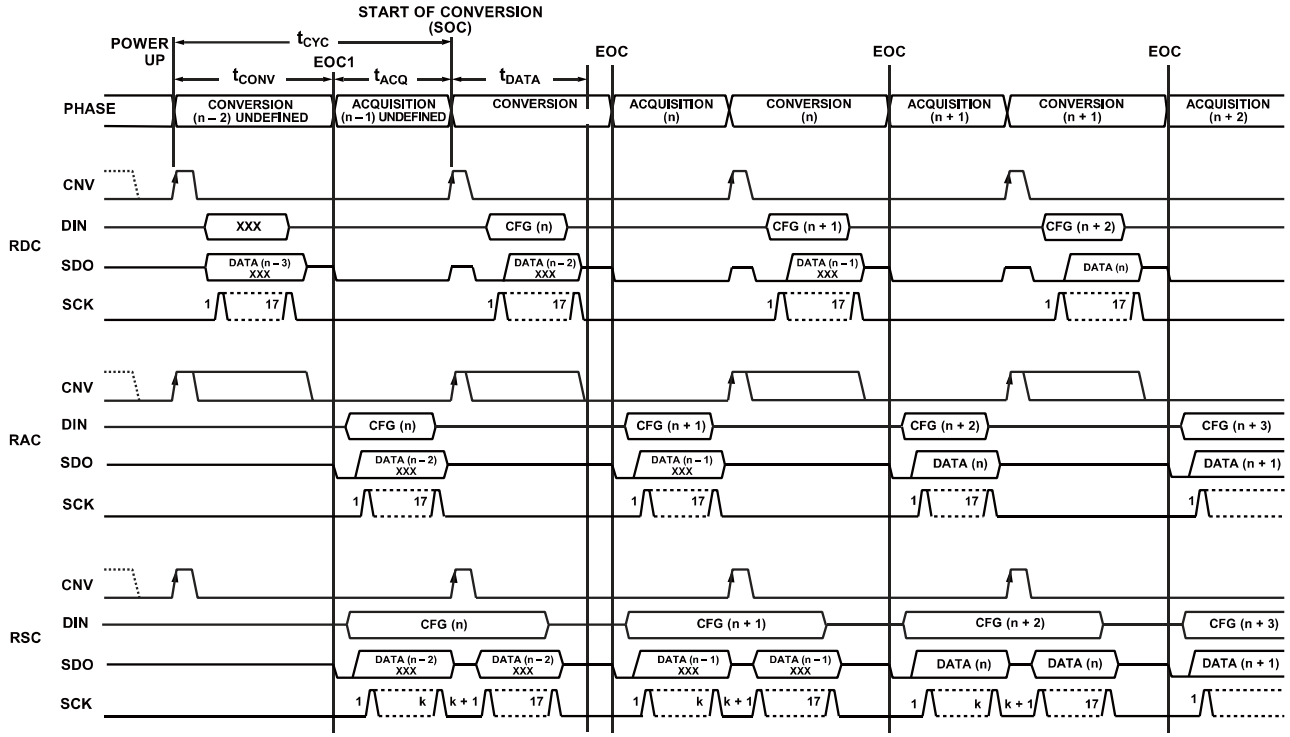
图38. 无繁忙指示的通用接口时序

## 带繁忙指示的通用时序

图 39 为所有三种模式的时序：转换期间读取/写入 (RDC)、转换后读取/写入 (RAC) 和采集转换全程读取/写入 (RSC)。没有在 EOC 之前写入完整的 CFG 字，则 CFG 字被丢弃，当前配置仍然有效。转换结束时，如果 CNV 为低电平，则使能繁忙指示。此外，为正确产生繁忙指示，主机必须至少置位 17 个 SCK 下降沿才能使 SDO 返回高阻态，不然 SDO 上的最后一位仍然有效。与“无繁忙指示器的通用时序”部分所述的情况不同，如果没有在 EOC 之前完全读出转换结果码值，输出的最后一位仍然存在。如果此位为低电平，则无法产生繁忙信号指示，因为繁忙信号指示的产生需要高阻态或一个高到低的位转换。

无论何种读取/写入模式，上电之后的前三次转换结果码值都是无效的，因为有效 CFG 直到第 2 个 EOC 之后才出现，因而需要 2 次空转换。同样，如果状态机在上电状态期间写入 CFG (如 RDC 所示)，则下一个阶段需要重新写入 CFG 寄存器。请注意，在阶段 (n - 1) 写入 CFG 寄存器时，第一个有效数据出现在 (n + 1) 阶段。


此文档版权归上海治精微电子有限公司所有




注：不回读 CFG 寄存器时 n = 17；回读 CFG 寄存器时 n = 31。

图39. 带繁忙指示的通用接口时序

## 通道序列器

ZJC2101-16 的通道序列器可用于重复顺序扫描多个通道。确定序列的最后一个通道后，序列器扫描模拟输入通道，还可以包括温度传感器。序列器必须从 IN0 开始，以 CFG [9:7] 所设置的差分通道对 INx (x 为偶数) 结束。通道配对取决于 CFG [9 : 7] 设置的最后一个通道。注意，在序列器模式下，差分对通道的正输入始终为偶数通道 (IN0、IN2、IN4、IN6)，负输入始终为奇数通道 (IN1、IN3、IN5、IN7)。

CFG [2 : 1] 用于使能序列器。CFG 寄存器更新生效后，在读出数据时 DIN 必须处于低电平，否则 CFG 寄存器会再次开始更新。如果更改序列配置，序列将重新初始化，并在 CFG 寄存器更新生效后转换 IN0/IN1 差分对。

图 40 详细显示了无繁忙指示序列器的三种模式的时序。也可以在使能繁忙指示的情况下使用序列器。

对于序列器操作，应在上电后的 (n - 1) 阶段设置 CFG 寄存器。在阶段 (n)，序列器设置生效并采集 IN0。第一个有效转换结果码值在阶段 (n + 1) 可以读出。对 CFG [9:7] 所设置的最后一个通道执行转换后，然后再次采集第一个通道对 IN0/IN1。


此文档版权归上海治精微电子有限公司所有

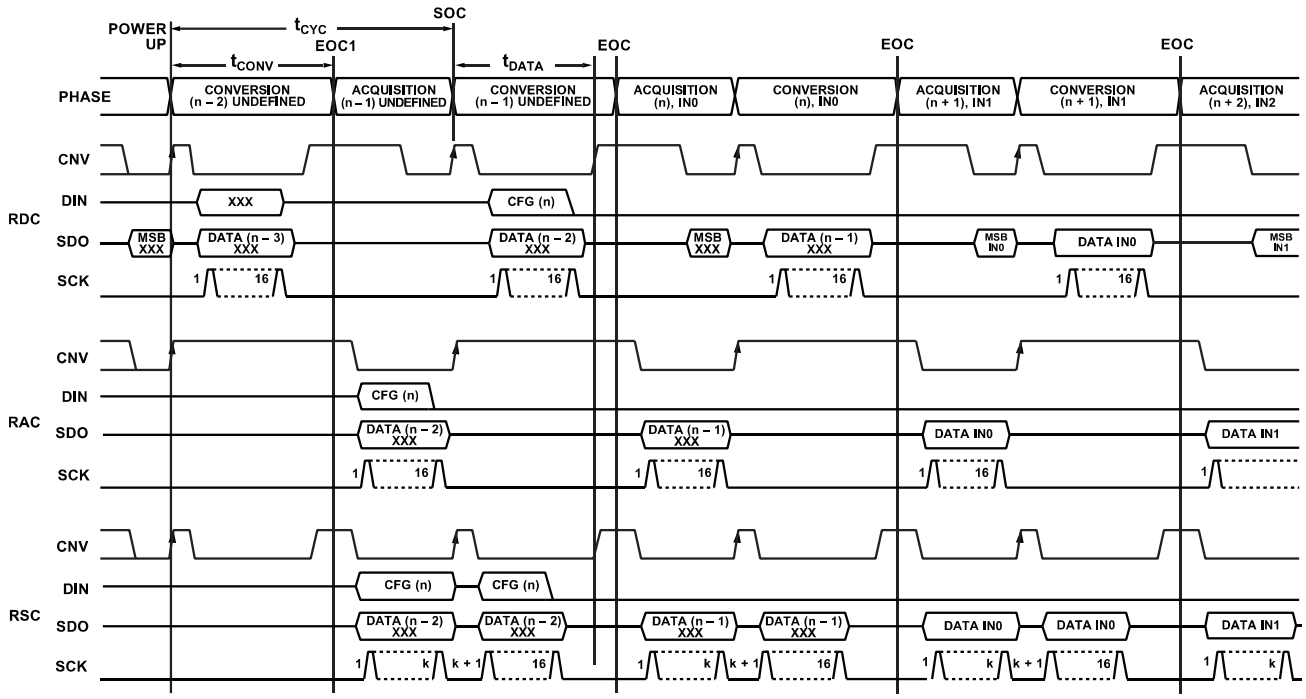



图40. 无繁忙指示的通用序列器时序

## 无繁忙指示的转换后读取/写入 (RAC)

ZJC2101-16 和控制器的连接如图 41 所示，相应的时序如图 42 所示。

CNV 上升沿启动转换，强制 SDO 进入高阻态。启动转换后，无论 CNV 为何状态，转换都会执行到完成为止。CNV 在安全的数据传输时间 $t_{DATA}$ 之前必须返回高电平，然后保持高电平到转换时间 $t_{CONV}$ 之后，以免产生繁忙信号指示。

当控制器在 $t_{CONV}$ (最大值) 之后使 CNV 变为低电平时，SDO 输出码值的 MSB 位。如果需要，控制器此时可以开始发送 CFG 寄存器的 MSB，以便开始更新 CFG。前 14 个 SCK 上升沿用于写入 CFG 寄存器值，前 15 个 SCK 下降沿从 MSB-1 开始逐位输出转换结果码值。必须写入所有 14 位 CFG [13 : 0]，否则 ADC 就会忽略本次寄存器写入。此外，如果没有在 $t_{DATA}$ 逝去之前回读 16 位转换结果码值，转换结果码值就会丢失。

在第 16 个 (无繁忙指示) 或第 30 个 (带繁忙指示) SCK 下降沿之后，或者当 CNV 变为高电平时 (以最先发生者为准)，SDO 返回高阻态。如果使能了 CFG 寄存器回读，则会在转换码值的 LSB 之后以 MSB 优先方式回读与转换结果相关的 CFG 寄存器值。这时，总共需要 30 个 SCK 下降沿才能使 SDO 返回高阻态。

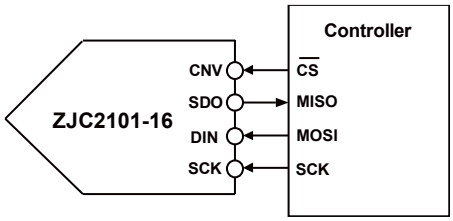



图41. 无繁忙指示的连接图


此文档版权归上海治精微电子有限公司所有

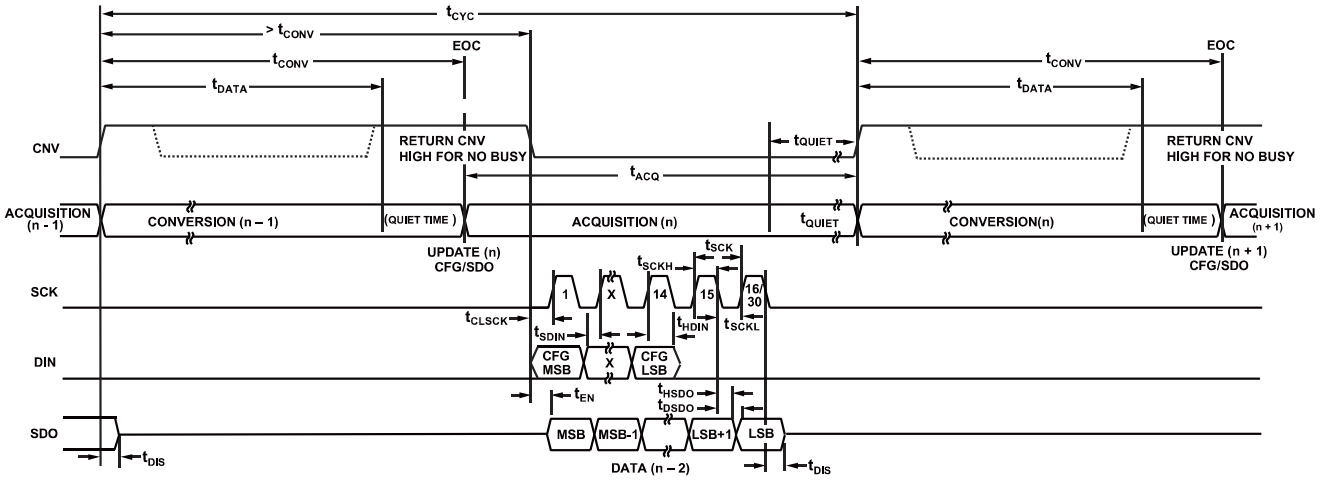



图42. RAC 无繁忙指示的串行接口时序

## 带繁忙指示的转换后读取/写入 (RAC)

ZJC2101-16 和控制器的连接如图 43 所示，相应的时序如图 44 所示。

CNV 上升沿启动转换，强制 SDO 进入高阻态。启动转换后，无论 CNV 为何状态，转换都会执行到完成为止。CNV 在安全的数据传输时间 $t_{DATA}$ 之前必须返回低电平，而且必须保持低电平到最大转换时间 $t_{CONV}$ 之后，以产生繁忙信号指示。

转换完成后，ZJC2101-16 进入采集阶段和待机状态。SDO 从高阻态变为低电平状态 (数据就绪)，将 SDO 上拉到 VIO 后，SDO 可以用于中断控制器以开始数据传输。如果需要，控制器此时可以开始发送 CFG 寄存器的 MSB，以便开始更新 CFG。在 CNV 为低电平期间，CFG 寄存器写入和数据回读都会发生。前 14 个 SCK 上升沿用于写入 CFG 寄存器值，前 16 个 SCK 下降沿从 MSB 开始逐位输出转换结果码值。必须写入所有 14 位 CFG[13:0]，否则 ADC 就会忽略本次寄存器写入。此外，如果没有在 $t_{DATA}$ 逝去之前回读 16 位转换结果码值，转换结果码值就会丢失。

在第 17 个 (无繁忙指示) 或第 31 个 (带繁忙指示) SCK 下降沿之后，或者当 CNV 变为高电平时 (以最先发生者为准)，SDO 返回高阻态。如果使能了 CFG 寄存器回读，则会在转换码值的 LSB 之后以 MSB 优先方式回读与转换结果相关的 CFG 寄存器值。这时，总共需要 31 个 SCK 下降沿才能使 SDO 返回高阻态。

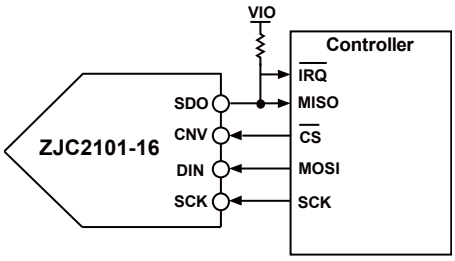



图43. 带繁忙指示的连接图


此文档版权归上海治精微电子有限公司所有

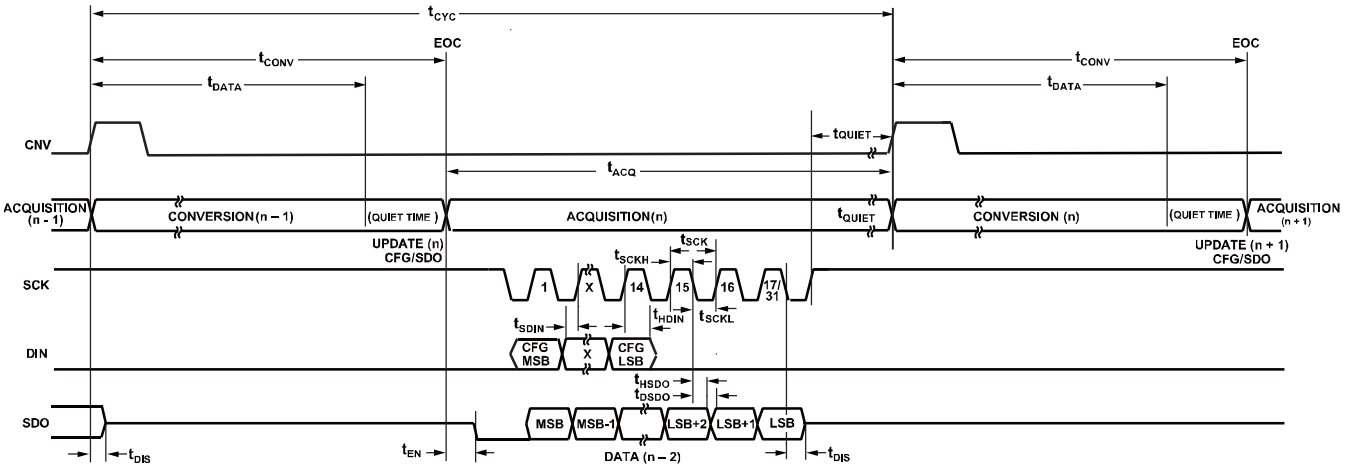



图44. RAC 带繁忙指示的串行接口时序


此文档版权归上海治精微电子有限公司所有

## 布局布线

为了获得器件的最佳工作性能，建议使用良好的 PCB 布局习惯，包括：

- ZJC2101-16 印刷电路板建议采用模拟部分与数字部分分离设计，并各自限制在电路板的一定区域内。
- 避免在器件下方布设数字线路，否则会将噪声耦合至晶片，除非在 ZJC2101-16 下方铺一个接地层用作屏蔽。CNV 或时钟之类的快速开关信号不应靠近模拟信号路径。应避免数字信号与模拟信号交叠。
- 至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况，接地层应在 ZJC2101-16 下方连接。
    - ZJC2101-16 的基准电压输入 REF 具有动态输入阻抗，应用 10 µF 左右陶瓷电容进行去耦，并使寄生电感最小。实现方法是将基准电压源的去耦陶瓷电容尽量靠近 REF 和 GND 引脚放置，并用较宽的低阻抗走线进行连接。
- ZJC2101-16 的电源 $V_{DD}$ 应通过 10 µF 和 100 nF 陶瓷电容并联去耦，尽量靠近 ZJC2101-16 放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的噪声影响。

图 45 是遵循这些规则的布局布线示例。

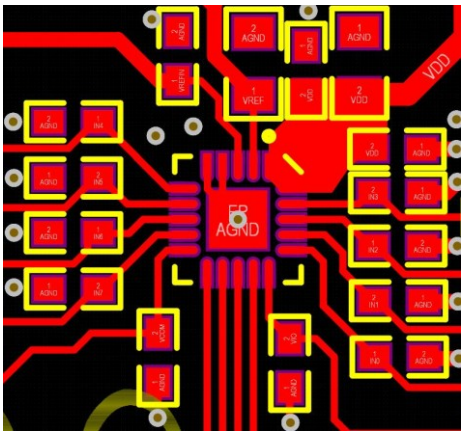



图45. ZJC2101-16 的示例布局布线


此文档版权归上海治精微电子有限公司所有

## 封装外形尺寸

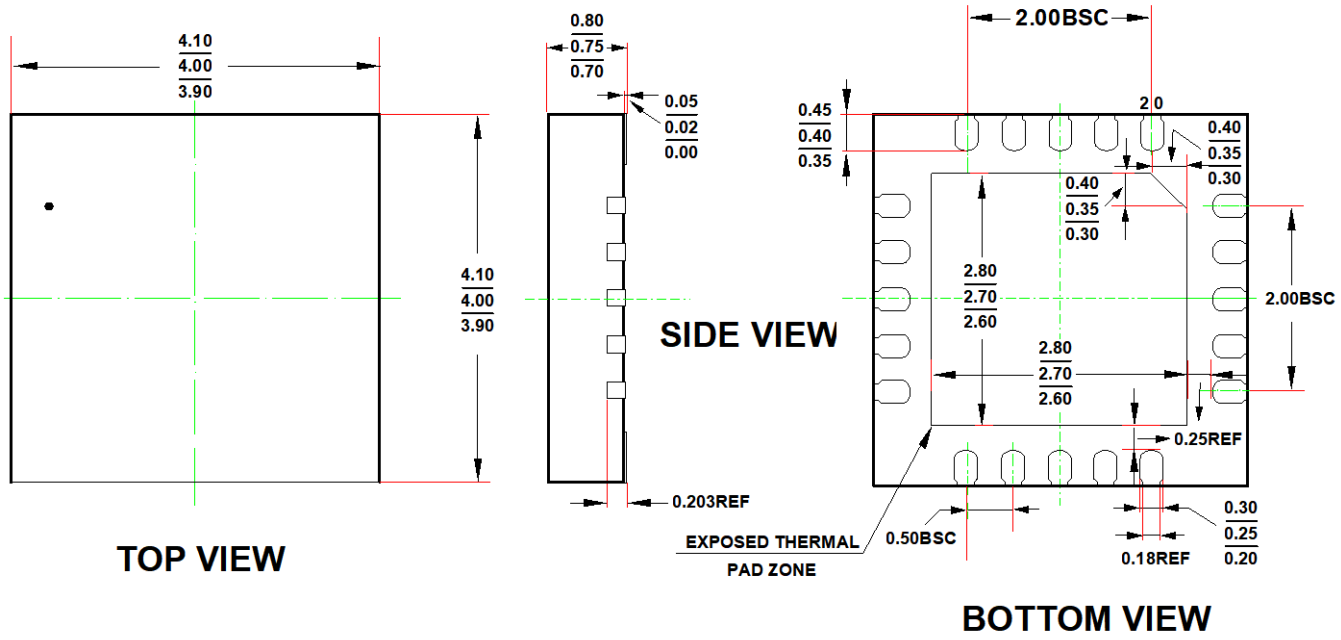


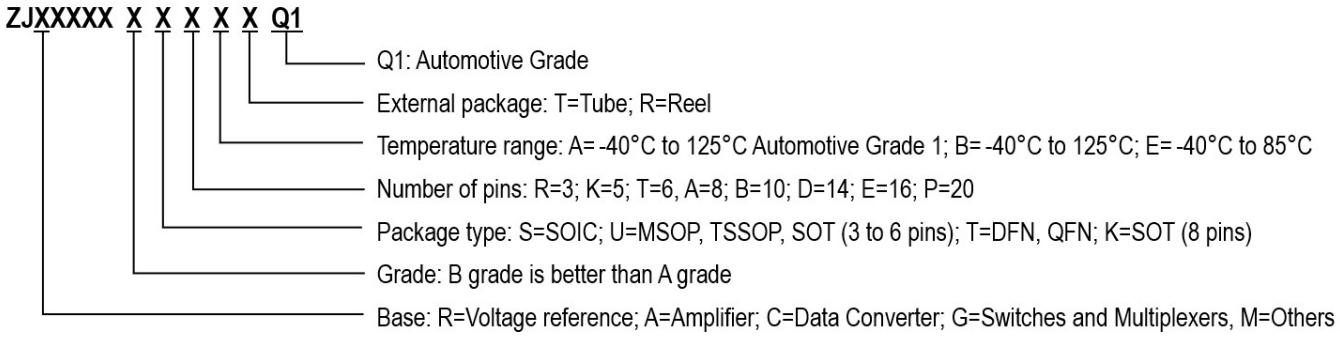

图46. QFN-20 封装尺寸图 (单位：毫米)


此文档版权归上海治精微电子有限公司所有

## 采购信息

| 型号 | 订货号 | 分辨率 (bit) | 工作温度范围 (°C) | 供电电压 (V) | 封装 | 丝印 | 外包装 |
|---|---|---|---|---|---|---|---|
| ZJC2101-16 | ZJC2101-16ATPER | 16 | -40 至+85 | 2.3 至 5.5 | QFN-20 | 2101-P | 13”卷盘 |

## 产品订货型号





此文档版权归上海治精微电子有限公司所有

## 相关器件

| Part Number | Description | Comments |
|---|---|---|
| **ADC** | | |
| ZJC2020 | 20-bit 350 kSPS SAR ADC | Fully differential input, SINAD 101.4 dB, THD -118 dB |
| ZJC2000/2010 | 18-bit 400 kSPS/200 kSPS SAR ADC | Fully differential input, SINAD 99.3 dB, THD -113 dB |
| ZJC2001/2011 | 16-bit 500 kSPS/250 kSPS SAR ADC | Fully differential input, SINAD 95.3 dB, THD -113 dB |
| ZJC2002/2012<br>ZJC2003/2013 | 16-bit 500 kSPS/250 kSPS SAR ADC | Pseudo-differential unipolar input, SINAD 91.7 dB, THD -105 dB<br>Pseudo-differential bipolar input, SINAD 91.7 dB, THD -105 dB |
| ZJC2004/2014<br>ZJC2005/2015 | 18-bit 400 kSPS/200 kSPS SAR ADC | Pseudo-differential unipolar input, SINAD 94.2 dB, THD -105 dB<br>Pseudo-differential bipolar input, SINAD 94.2 dB, THD -105 dB |
| ZJC2007/2017<br>ZJC2008/2018 | 14-bit 600 kSPS/300 kSPS SAR ADC | Pseudo-differential unipolar input, SINAD 85 dB, THD -105 dB<br>Pseudo-differential bipolar input, SINAD 85 dB, THD -105 dB |
| ZJC2009 | Small size, 12-bit 1 MSPS SAR ADC | Single-ended input, SOT23-6, 2.3 V to 5 V, SINAD 73 dB, THD -89 dB |
| ZJC2100/1-18<br>ZJC2100/1-16 | 18-bit 400 kSPS/200 kSPS 4-ch differential SAR ADC, SINAD 99.3 dB, THD -113 dB<br>16-bit 500 kSPS/250 kSPS 4-ch differential SAR ADC, SINAD 95.3 dB, THD -113 dB | |
| ZJC2102/3-18<br>ZJC2102/3-16<br>ZJC2102/3-14 | 18-bit 400 kSPS/200 kSPS 8-ch pseudo-differential SAR ADC, SINAD 94.2 dB, THD -105 dB<br>16-bit 500 kSPS/250 kSPS 8-ch pseudo-differential SAR ADC, SINAD 91.7 dB, THD -105 dB<br>14-bit 600 kSPS/300 kSPS 8-ch pseudo-differential SAR ADC, SINAD 85 dB, THD -105 dB | |
| ZJC2104/5-18<br>ZJC2104/5-16 | 18-bit 400 kSPS/200 kSPS 4-ch pseudo-differential SAR ADC, SINAD 94.2 dB, THD -105 dB<br>16-bit 500 kSPS/250 kSPS 4-ch pseudo-differential SAR ADC, SINAD 91.7 dB, THD -105 dB | |
| **DAC** | | |
| ZJC2541-18/16/14<br>ZJC2543-18/16/14 | 18/16/14-bit 1 MSPS single channel DAC with unipolar output | Power on reset to 0 V (ZJC2541) or $V_{REF}$/2 (ZJC2543), 1 nV-S glitch, SOIC-8, MSOP-10/8, DFN-10 packages |
| ZJC2542-18/16/14<br>ZJC2544-18/16/14 | 18/16/14-bit 1 MSPS single channel DAC with bipolar output | Power on reset to 0 V (ZJC2542) or $V_{REF}$/2 (ZJC2544), 1 nV-S glitch, SOIC-14, TSSOP-16, QFN 16 packages |
| **Amplifier** | | |
| ZJA3000-1/2/4<br>ZJA3001-1/2/4 | Single/Dual/Quad 36 V low bias current precision Op Amps | 3 MHz, 35 µV max Vos, 0.5 µV/°C max TCVos, 25 pA max Ibias, 1 mA/ch, input to V- (ZJA3000 only), RRO, 4.5 V to 36 V |
| ZJA3018-2<br>ZJA3008-2 | OVP ±75 V, 36 V, Low Power, High Precision Op Amp<br>36 V, Low Power, High Precision Op Amp | 1.3 MHz, 10 µV max Vos, 0.5 µV/°C max TCVos, 25 pA max Ibias, 0.5 mA/ch, OVP ±75 V (ZJA3018 only), RRO, 4.5 V to 36 V |
| ZJA3512-2 | Dual 36 V 7 MHz precision JFET Op Amps | 7 MHz, 35 V/µS, 50 µV max Vos, 1 µV/°C max TCVos, 2 mA/ch, RRO, 9 V to 36 V |
| ZJA3206/06/02-1/2 | Precision 24/11.6/5.3 MHz CMOS RRIO Op Amps | 24/11.6/5.3 MHz, RRIO, 30 µV max Vos, 1 µV/°C max TCVos, 0.6 pA Ib, 2.7 V to 5.5 V |
| ZJA3600/1 | 36 V ultra-high precision in-amp | CMRR 105 dB min (G = 1), 25 pA max Ib, 25 µV max Vosi, ±2.4 V to ±18 V, -40 °C to 125 °C |
| ZJA3611, ZJA3609 | 36 V precision wider bandwidth precision in-amp (G ≥ 10) | CMRR 120 dB min (G = 10), 25 pA max Ibias, 25 µV max Vosi, 1.2 MHz BW (G = 10) |
| ZJA3676/7<br>ZJA3678/9 | Low power, G = 1 Single/Dual 36 V difference amplifier<br>Low power, G = 0.5/2 Single/Dual 36 V difference amplifier | Input protection to ±65 V, CMRR 104 dB min (G = 1), Vos 100 µV max, gain error 15 ppm max, 500 kHz BW (G = 1), 330 µA/channel, 2.7 V to 36 V |
| ZJA3669 | High Common-Mode Voltage Difference Amplifier | ±270 V CMV, 2.5 kV ESD, 96 dB min CMRR, 450 kHz BW, 4 V to 36 V, SOIC-8 |
| ZJA3100 | 15 V precision fully differential amplifier | 145 MHz, 447 V/µS, 50 nS to 16-bit, 50 µV max Vos, 4.6 mA Iq, SOIC/MSOP-8, QFN-16 |
| ZJA3236/26/22-2 | Low-cost 22/10/5 MHz CMOS RRIO Op Amps | 22/11/5 MHz, RRIO, 2 mV max Vos, 6 µV/°C max TCVos, 0.6 pA Ib, 2.7 V to 5.5 V |
| ZJA3622/8 | 36 V low-cost precision in-amp | 0.5 nA max Ibias, 125 µV max Vosi, 625 kHz BW (G = 10), 3.3 mA Iq, ±2.4 V to ±18 V |
| **Voltage Reference** | | |
| ZJR1004 | 40 V supply precision voltage reference | $V_{OUT}$ = 2.048/2.5/3/3.3/4.096/5/10 V, 5 ppm/°C max drift -40 °C to 125 °C |
| ZJR1001/2<br>ZJR1003 | 5.5 V low power voltage reference<br>(ZJR1001 with noise filter option) | $V_{OUT}$ = 2.048/2.5/3/3.3/4.096/5 V, 5 ppm/°C max drift -40 °C to 125 °C, ±0.05% initial error, 130 µA, ZJR1001/2 in SOT23-6, ZJR1003 in SOIC/MSOP-8 |
| ZJR1302 | 5.5 V low power compact precision voltage reference | $V_{OUT}$ = 2.048/2.5/3/3.3/4.096 V, 30 ppm/°C max drift -40 °C to 125 °C, 130 µA, SOT23-3 |
| **Switches and Multiplexers** | | |
| ZJG4438/4439 | 36 V fault protection 8:1/dual 4:1 multiplexer | Protection to ±50 V power on & off, latch-up immune, Ron 270 Ω, 14.8 pC, $t_{ON}$ 166 nS |
| ZJG4428/4429 | 36 V 8:1/dual 4:1 multiplexer | Latch-up immune, Ron 270 Ω, 14.8 pC charge injection, $t_{ON}$ 166 nS |
| **Quad Matching Resistor** | | |
| ZJM5400 | ±75 V precision match resistors | Mismatch < 100 ppm, 10k:10k:10k:10k, 100k:100k:100k:100k, 100k:10k:10k:100k, 1k:1k:1k:1k, 1M:1M:1M:1M, 5k:1k:1k:5k, 5k:1.25k:1.25k:5k, 9k:1k:1k:9k, ESD: 3.5 kV |


此文档版权归上海治精微电子有限公司所有